

第一章 绪论

1.1 引言

微电子技术是当代信息技术的基础,而 CMOS 技术则是当今微电子工业的主流技术。CMOS 集成电路通常是在体硅衬底上制造的。随着器件尺寸的减小,集成度的不断提高,器件内部 pn 结之间以及器件与器件之间通过衬底的相互作用越来越严重,导致了一系列半导体材料、器件物理、设计和工艺等方面的新问题。体硅 CMOS 电路的寄生门锁效应以及体硅器件在辐射环境中的电离辐射效应等使电路的可靠性大大降低。同时,随着器件尺寸的缩小,体硅 CMOS 器件的各种多维及非线性效应如短沟道效应、窄沟道效应、漏感应势垒降低效应、热载流子效应、速度饱和效应等变得十分显著,影响了器件性能的提高。体硅 CMOS 器件之间的隔离区所占的芯片面积随着器件尺寸的减小而相对增加,使得寄生电容增加,互连线延长,影响了电路集成度和速度的提高。为了克服上述的种种问题,保持甚大规模集成电路的优良性能和发展速度,除了采用先进的诸如深槽隔离、电子束刻蚀、硅化物等工艺技术外,开发新型硅材料,探索新型器件和电路结构,充分发挥硅集成技术的潜力,已成为当今微电子技术所面临的重要课题。

绝缘衬底上硅(Silicon-On-Insulator,简称 SOI)技术以其独特的材料结构有效地克服了体硅材料的不足,充分发挥了硅集成技术的潜力。随着器件尺寸进入亚微米、深亚微米领域,SOI 技术逐渐成为研究和开发高速度、低功耗、高集成度以及高可靠的超大规模的集成电路的重要技术。特别是,薄层全耗尽 SOI CMOS 这种准理想的器件结构被称为是“下一代高速 CMOS 技术”^[1],它将成为下一代军用系统集成的主要技术之一,受到世界各发达国家的普遍重视,从而竞相研究和开发这项技术。

SOI 技术还以其独特的材料结构和全介质隔离技术为新型高性能的器件与电路的开发提供了十分广阔的空间,其应用领域也日益广泛。如今,SOI 技术已经广泛应用于导弹电子控制系统、宇航电子系统、卫星电子系统以及核能等领域。美国国防部 1991 年就把亚微米、深亚微米 SOI 技术列入了关键技术发展规划^[2]。规划中 SOI 技术的指标如表 1.1 所示。

回顾历史, 早在 70 年代初期西门子(Siemens)公司率先开发了 SOI 技术。SOI 技术早期的研究主要致力于改善材料性能以及探索新的 SOI 材料。80 年代随着双固相外延(DSPE)和固相外延再生长(SPEAR)技术的采用, 极大地改善了硅单晶薄膜的完整性, 使得蓝宝石上硅(Silicon-On-Sapphire, SOS)技术产生了质的飞跃, SOS 技术成为适用于宇航和核辐射环境下的理想的集成电路技术之一。与此同时, 人们研究开发了多种 SOI 技术, 如注氧隔离(Separation by Implantation of Oxygen, SIMOX)技术, 区熔再结晶(Zone Melting Recrystallization, ZMR)技术, 硅片键合(Silicon Direct Bonding, SDB)技术, 多孔硅氧化隔离技术(FIPOS)等。以上各种技术都有它的优点和不足, 适用何种 SOI 材料应视具体应用条件和场合而定。其中 SIMOX 材料具有单晶质量好、缺陷密度低、界面态低等优点, 并且可以很方便地形成薄层 SOI 材料, 对于超大规模和抗辐射方面的应用而言, 是一种较为理想的选择。硅片键合技术更适合用于双极和功率器件, 而区熔再结晶技术则是制造三维集成电路的主要竞争者。

表 1.1 美国国防部 1991 年制定的 SOI 材料和电子电路技术指标

技术领域	至 1996 年	至 2001 年	至 2006 年
具有高可靠性和抗辐射加固的集成电路, 包括 VHSIC	◇ 0.5μm 体硅/SOI 数字器件达到小批量生产 ◇ 改善体硅材料和 SOI 技术	◇ 0.2μm 体硅/SOI 数字器件达到小批量生产	◇ 小于 0.1μm 体硅/SOI 数字器件达到小批量生产
集成电路材料的开发	◇ 制造 0.35μm 集成电路用的 SOI 材料 ◇ 硅上金刚石材料	◇ 用于 0.2μm 三维集成电路结构的 SOI 材料	◇ 用于 0.1μm 集成电路的 SOI 材料

在 80 年代末至 90 年代初, 随着 SOI 技术的发展, SOI 材料研究日趋成熟。美国的 IBIS、SPRIL 和法国的 SOITEC 等公司以有商品化的 SIMOX 和 BESOI 材料出售。SOI 技术进入了一个新的发展阶段,

即从材料研究为主逐步转向以器件和电路研究为主的时代。

表 1.2 给出了各种类型的 SOI 器件的性能指标^[3], 从表中可以看出背界面耗尽的 FD(Fully-Depleted)SOI 器件最具有适合 ULSI 应用的电学性能。一般说来, FD SOI CMOS 技术与体硅相比有如下优势:

- 1) 亚阈值斜率低(可以达到 70mV/dec), 泄露电流小, 电流驱动能力强。较低电压下同样漏电流时栅电压可以比体硅低 0.1-0.2V。这意味着其比体硅更适宜在低压低功耗条件下工作。
- 2) SOI, 尤其是 TFSOI, 有源区之间实现了全介质隔离, CMOS 电路具有优良的抗闩锁性能。
- 3) 源漏结深受到硅膜厚度限制(已经作到了 50nm 以下), 短沟效应明显优于体硅, 尤其适宜于器件的按比例缩小。
- 4) 寄生电容小: 对于 TFD SOI 器件来说, 源、漏结电容基本上就是侧面结耗尽层电容, 因为硅层很薄此电容很小, 如对于相同的 0.25 μm MOSFET, SOI 器件的结电容仅为体硅的 1/4~1/7; 由于隐埋氧化层的存在, 沟道、栅、互连线相对于衬底的寄生电容明显下降。由于 TFD SOI 器件中寄生 PN 结耗尽层电容小, 所以电路在低压下工作速度明显优于体硅。
- 5) 工艺简单, TFD SOI CMOS 电路的制造比体硅简单, 因为它减少了阱和槽隔离等工艺。一般而言, 要比体硅工艺少 1~2 张掩膜版。
- 6) 抗辐射能力强: 由于 SOI 器件间全部都是全介质隔离, 器件有源区硅膜很薄, 大大缩短了重离子的有效离化路径, 所以其抗 SEU 性能明显优于体硅。
- 7) 高温性能好: TFD SOI 器件中 PN 结是侧面结, 所以有效结面积和空间电荷区比体硅器件要小得多, 这意味着在同样热诱发泄露条件下, 它比体硅器件的高温性能要优越得多。
- 8) 热载流子退化效应相对体硅要好一些, 在同样的漏电流下器件的栅电压要低一些。
- 9) 集成密度高: SOI 电路采用全介质隔离, 它不需要体硅 CMOS 电路的场区及阱等结构, 器件最小间隔仅仅取决于光刻和刻蚀的限制, 使得集成密度大幅度提高。

从以上器件特点可知, TFD SOI 技术尤其适宜于低压、低功耗、高速、深亚微米 ULSI 电路, 以及可在高温、辐射等环境下工作的电

路。

TFD SOI 与 PD (Partially-Depleted)SOI 相比主要有以下优点: 首先是没有 Kink 效应^[4]。由于其硅膜全部耗尽, 所以不存在浮空的衬底, 从而有效地克服了 Kink 效应; 其次是体硅电路设计向 TFD SOI 的移植性好。由于不存在浮空的衬底, 所以无须专门制作衬底接触, 能够很方便地将体硅电路设计移植到 TFD SOI 中来, 这是一个巨大的优点^[1]。

表 1.2 SOI 电学特性比较

符号 0,+和-分别表示“与体硅器件类似”, “比体硅器件好”和“比体硅器件差”

	体硅	厚层 SOI	薄层 SOI (背面积累)	薄层 SOI (全耗尽)
迁移率	0	0	0/-	+
跨导	0	0	0/-	+
短沟道效应	0	0	+	0/+
源和漏电容	0	+	+	+
热载流子	0	0/+	0/-	+
亚阈值斜率	0	0	0/-	+
V_{th} 对硅层厚度的敏感度	0	0	-	-
Kink 效应	0	-	-	0
双极寄生效应	0	-	-	0/-

当然, 任何事物都具有两面性。TFD SOI 技术要大规模地应用, 必须克服其自身的一些缺点。下面简短地概括 TFD SOI 技术所面临的一些问题^{[5][6]}。

- ① 原始硅片成本较高。用于制作 TFD SOI 器件的 SIMOX 片或者 Smart-Cut 片从体硅 (100) 大圆片加工而来, 成本高一些是必然的。随着原始片加工技术的成熟, 以及生产量的扩大, 其成本有望进一步下降; 同时, 其工艺相对简单和芯片性能优良的特点可以弥补其部分成本。
- ② TFD SOI 器件阈值电压与硅膜厚度关系敏感。由于制作器件的薄膜须经过数道工序减薄而成, 阈值电压受膜厚影响这一特点使大批量生产中阈值电压的可控性和可重复性受到严重挑战, 在低压应用时尤其如此。

- ③ NMOS 晶体管源漏击穿电压低。微米级器件常在 5V 左右, 所以难以胜任 5V 以上的工作要求。当然通过工艺措施完全可以解决这个问题。

1.2 SOI 技术的国内外发展动态

1.2.1 国外发展状况

在国外, SOI CMOS 已发展到较高的水平, 韩国三星公司的 Kinam kim 博士等报道了用 SIMOX 与 BESOI 材料以 $0.5\mu\text{m}$ CMOS 工艺研制成功 16M DRAM, 性能优于体硅。目前, 低压、低功耗、商用电路将是 SOI 技术发展的主要方向。而据最近公布的美国半导体协会 (SIA) 1997 年修订的美国半导体技术发展蓝图来看, 未来十年集成电路的工作电压将越来越低, 到 2001 年将降为 1.2 伏, 到 2006 年降为 0.9 伏, 另外其特征尺寸也相应变为 150、100nm 的水平。低压工作是集成电路发展的必然趋势。我们知道, 薄膜全耗尽 SOI 器件具有很强的低压/低功耗工作能力。因此, 相对与体硅技术来说, SOI 技术具有明显优势。在这方面, 国外已有很多报道^[7]。日本 Sharps 的 Kaneko 博士以 $0.35\mu\text{m}$ CMOS 工艺研制成功低功耗 CMOS/SIMOX 电路, 在 1.5V 工作电压下, 其 CMOS 反向器延时达到 65ps/级, 而相应体硅电路为 140ps/级。NIT 公司以 $0.15\mu\text{m}$ SOI CMOS 工艺做出分频器, 在 1V 电压下工作, 频率可达 1.2GHz, 功耗仅为 $50\mu\text{W}$ 。有人用 $0.25\mu\text{m}$ CMOS/SIMOX 做出的 PLL 在 1V 下可工作到 GHz 范围, 功耗仅有几 mW^[8]。IBM 用 $0.2\mu\text{m}$ 工艺研制出 512K SRAM, 可工作在 1V 电压下, 取数时间为 3.5ns。又如 Harris 公司已提供在 2.4GHz 下工作的无绳电子装置中使用的 CMOS/SOI 高频电路。最近 IBM 报道, 他们利用 SOI 新工艺, 可以使微处理器的性能提高 1/3。利用这项新技术设计运行速度为 400 MHz 的计算机微处理器实际运行速度远远超过 500 MHz。此外, 用 SOI 技术设计的芯片, 其功耗仅仅是目前处理器的 1/3, 从而延长蜂窝电话和手提电脑等便携装置的电池寿命。商业化是 SOI 技术发展的必然趋势, 美国 Honeywell 已提供某些卫星上用的 SOI 低功耗商用电路。

日本 Sharp 公司研制的 n^+/p^+ 双栅 SOI CMOS 器件, 采用 $0.35\mu\text{m}$ 工艺, 阈值电压为 0.5V, 在 1.5V 工作时, 门延迟为 65ps/级, N 管、P 管的亚阈值斜率分别为 65mV/dec, 70mV/dec。

1.2.2 国内发展状况

在国内,已有数家开展了这方面的研究。如北京大学微电子研究所进行的 SOI 器件模拟,SOI 新器件、CMOS/SIMOX 门阵列等方面的研究;电子部 24 所也在 SOI 器件性能研究、抗核加固方面作了大量工作;上海冶金所在 SOI 材料方面的研究;航天部 771 所在 SOI 器件模拟软件的开发,SOI 器件和电路的研究等,并且取得了一系列的成果。

中科院微电子中心虽然在 SOI 技术方面起步较晚,但到目前为止,已取得了一些成果。在工艺方面,分别对台面隔离工艺、氧化隔离工艺、LDD 工艺、硅化物工艺、抗核加固工艺进行了全面的研究。在器件研究方面,分别对 FD SOI 器件、PD SOI 器件等都进行了大量的工作并取得了满意的成果^{[9][10]}。在 LSI 电路方面,已成功研制出 4K SRAM、全耗尽 2000 门门海阵列和 5000 门门阵列,并将进行 64K SRAM 的研制。

1.3 作者的工作和论文内容安排

1.3.1 作者的工作

作者自 1997 年 9 月开始攻读硕士学位以来,在导师海潮和老师、刘新宇博士的指导下,在中科院微电子中心一室的工艺技术人员的大力协助下,围绕着薄膜全耗尽 SOI CMOS 器件和电路的研制进行了大量的工作,概括起来主要有以下几个方面:

- ① 收集、整理、翻译了大量的资料,对国内外近十年来对 SOI 器件的研究成果进行了分析与总结。
- ② 根据“栅工程”,TFSOI CMOS 采用了双多晶硅栅的器件结构,即 NMOS 采用 P⁺多晶硅栅,PMOS 采用 N⁺多晶硅栅。并对 N⁺/P⁺双多晶硅栅对器件性能的影响进行了理论分析和工艺研究。
- ③ 参与了 TFD CMOS/SOI 工艺实验版图和 2000 门海阵列的设计。
- ④ 对 SOI 的关键工艺:隔离工艺,氮化的氢氧合成工艺,沟道工程,双栅工艺,注 Ge 硅化物工艺进行了研究。
- ⑤ 成功开发了成套的全耗尽 SOI 工艺。经过几轮工艺流片,获得了性能良好的器件和电路,并对器件和电路进行了测试和分析。其中,N 管、P 管的亚阈值斜率分别为 79mV/dec, 81mV/dec。当工作电压为 5V 时,0.8 μ m 101 级环振单级延迟为 45ps。
- ⑥ 与课题组成员合作完成了 4Kb CMOS SOI SRAM 的研制。

1.3.2 论文内容安排

本文共分五章，具体内容如下：

第一章为绪论，主要介绍了 TFSOI 技术的优缺点，研究历史和现状、作者在硕士期间所作的主要工作。

第二章为 TFD CMOS/SOI 的器件物理，主要分析和总结了 TFD CMOS/SOI 的器件理论近年来的研究成果。其中包括器件工作模式，阈值电压，亚阈值斜率，跨导，电流驱动能力，短沟效应，自加热，以及载流子效应等。

第三章详细介绍了全耗尽 SOI CMOS 的关键工艺，其中包括隔离技术、沟道工程、氮化的氢氧合成栅、双多晶硅栅电极，注 Ge 硅化物技术，并且给出了整个工艺流程。

第四章介绍了全耗尽 CMOS/ SOI 器件与电路的设计思想，给出了 1.2 μm 、0.8 μm 的版图设计规则，并介绍了几种器件结构以及环振电路的设计。

第五章给出实验结果。分别对器件的阈值电压特性、源漏击穿电压、电流电压、亚阈值漏电进行了分析和讨论。同时对环振电路的电学性能进行了详细的测量和讨论，所得结果充分证明 SOI CMOS 器件与电路的高速、低电压等优良特性。

论文的最后是结束语和致谢。

第二章 SOI MOSFET 器件物理

SOI 技术是新近发展起来的一种半导体技术, 很多研究成果亟待归纳和总结。本章比较详细地分析和总结了 TFD CMOS/SOI 器件物理近年来的一些研究成果, 包括器件工作模式, 阈值电压, 亚阈值斜率, 跨导, 电流驱动能力, 短沟效应, 自加热, 以及载流子效应等。

2.1 SOI MOSFET 器件结构与工作模式

2.1.1 SOI MOSFET 双多晶硅栅器件结构

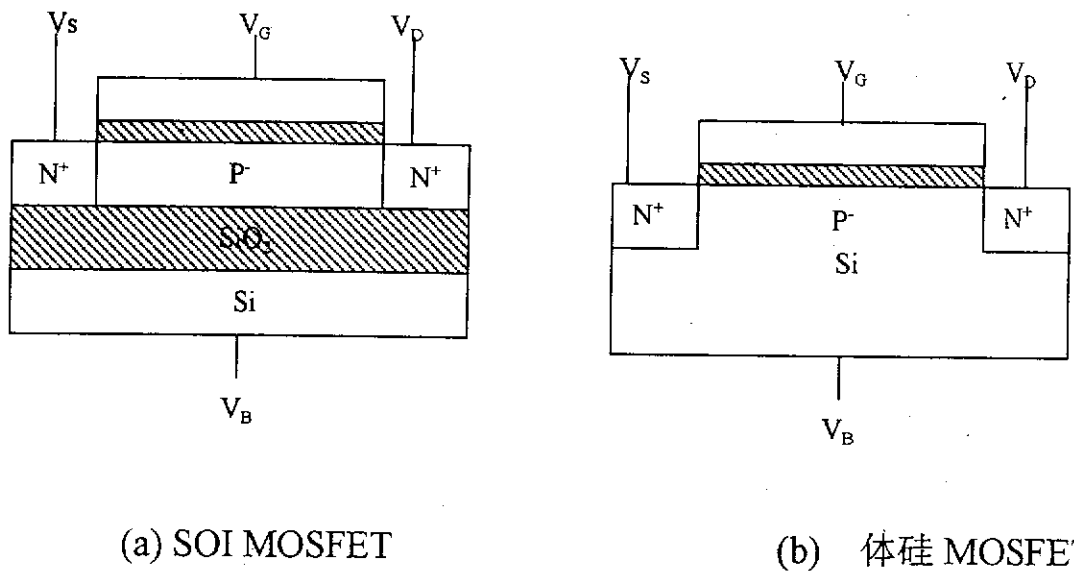


图 2.1 SOI MOSFET 与体硅 MOSFET 的结构

图 2.1 给出了 N 沟 SOI MOSFET 和体硅 MOSFET 的器件结构。SOI MOSFET 与体硅 MOSFET 的最大区别在于 SOI MOSFET 具有厚度有限的硅层和一层较厚的背栅氧化物。SOI MOSFET 的特殊结构使其具有不同于体硅 MOSFET 的物理特性。

对于 TFD SOI 器件来说, 阈值电压的控制是一个很关键的问题。在体硅中, 可以通过控制沟道杂质浓度来调整阈值。但是, 在 TFD SOI 器件中, 沟道杂质浓度需要在两种因素间平衡和折衷: 首先, 杂质浓度必须足够低, 以确保沟道区全部耗尽; 其次, 它又必须足够高以使器件有适当的阈值电压。实际上, 在 FD SOI 器件中, 晶体管的阈值电压表示为: ^[11]

$$V_{th} = V_{FB} + 2\Phi_F + qN_{SOI}t_{SOI}/C_{ox} \quad (2.1.1)$$

其中 N_{SOI} 为 SOI 膜中的杂质浓度, t_{SOI} 为 SOI 膜的厚度, C_{ox} 为栅氧电容, 为了有一个合适的阈值电压, 杂质浓度和硅膜厚度都必须优化。此外, 也可以通过改变栅材料和器件结构的方法来实现。要想 NMOS 管和 PMOS 管的阈值电压尽量对称, 栅材料的功函数必须在硅的禁带中间, 仅从功函数这一项来看, 有很多材料可以满足要求, 但作为栅材料, 还要求这种材料的电阻率要小, 热稳定性好, 工艺与 Si 技术要相匹配。符合这样要求的材料就不多了, 钽作为一中禁带中间材料基本满足以上的要求。可是, 采用这种材料一是成本太高, 二是工艺复杂。因此, 我们还是把目光放在多晶硅栅上。在体硅 CMOS 工艺中, 最常用的栅材料是 N^+ 多晶硅栅。为了使 PMOS 晶体管由埋沟器件变为表面沟器件, 有时也采用 P^+ 多晶硅栅。采用双栅结构的 CMOS 器件, 使 P 管和 N 管的性能接近于对称。在 SOI 工艺中, 尤其是对器件性能有特殊要求时, 采用这种双栅结构 (即 NMOS 采用 N^+ 多晶硅栅, PMOS 采用 P^+ 多晶硅栅) 是可行的。但是, 采用这种双栅结构时, 沟道掺杂浓度较高, 这样势必会降低源漏击穿电压。然而, 当 NMOS 器件采用 P^+ 多晶硅栅, PMOS 器件采用 N^+ 多晶硅栅时, 可以适当降低沟道掺杂浓度, 使源漏击穿特性得到改善。因此, 在实验中, 我们采用了这种栅结构, 总结起来, 这种栅结构有以下几个优点: 较低的沟道掺杂, 阈值电压容易控制, 源漏击穿得到改善。

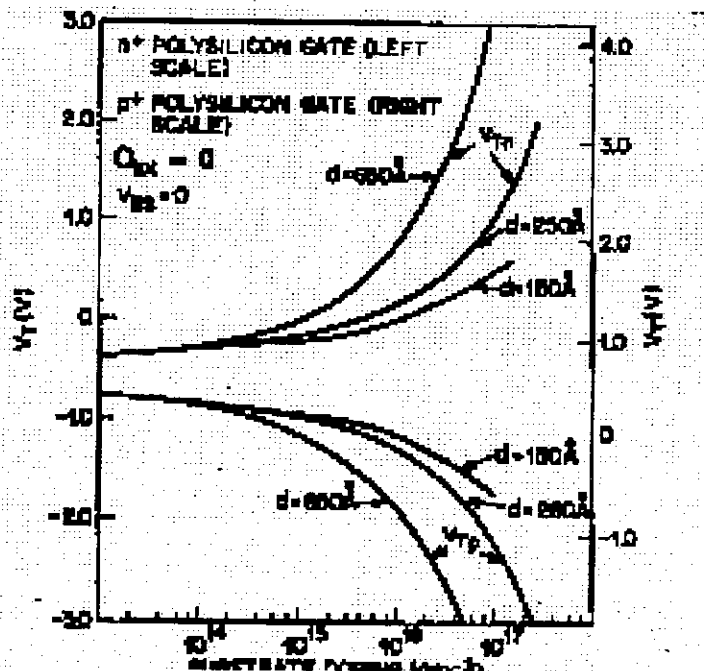


图 2.2 采用不同多晶硅栅时阈值电压与沟道杂质浓度的关系

图 2.2 给出了采用不同类型的多晶硅栅时, 阈值电压与沟道掺杂浓度关系。如果要求 NMOS 管的阈值为 0.75V , 从图中可以看出, 当采用 N^+ 多晶硅栅时, 沟道杂质浓度大于 10^{17}cm^{-3} ; 而采用 P^+ 多晶硅栅时, 沟道杂质浓度在 10^{15}cm^{-3} 量级就可以了, 两者的沟道浓度相差快两个数量级。由于沟道杂质浓度的降低, 源漏击穿特性得到了很好的改善, 载流子迁移率也会明显提高。

NMOS 管采用 P^+ 多晶硅栅、PMOS 管采用 N^+ 多晶硅栅的器件结构如图 2.3 所示。

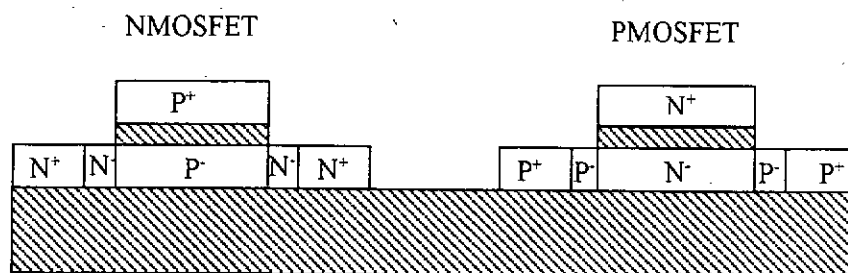


图 2.3 双多晶硅栅器件结构示意图

2.1.2 SOI MOSFET 工作模式

根据硅层的厚度和掺杂浓度, SOI MOSFET 可分为三种不同的类型, 即厚层器件、薄层器件和中等膜厚器件。所谓中等膜厚器件是指器件可根据不同的背栅压条件或呈现薄层器件或呈现厚层器件特性。对于厚层 SOI 器件, 正、背界面的耗尽层之间不相互影响, 在它们之间存在一块中性区, 如果将这一中性区(可称之为硅本体)经过一“体接触”接地, 则厚层器件工作特性几乎和体硅器件完全相同。如果硅本体不接地而处于电学浮空状态, 厚层器件虽然仍和体硅器件情况基本相同, 但却产生两个明显的寄生效应, 一个是 SOI MOSFET 输出特性出现向上“翘曲”的现象, 即 Kink 效应, 另一个是器件源漏之间形成的基极开路 NPN 寄生晶体管效应^[3]。

对于薄层 SOI 器件, 当器件开启时, 硅层可全部耗尽而并不依赖背栅压, 只要背界面不处于积累状态, 薄层全耗尽 SOI 器件可完全消除输出特性中的翘曲现象。在各种类型的 SOI 器件中, 背界面处于耗尽状态的全耗尽器件最富有吸引力, 这类器件具有低电场、高跨导、良好的短沟道特性和接近理想的亚阈值斜率等优点, 通常将薄层 SOI

MOSFET 称之为全耗尽器件。由于其正界面和背界面都可以处于积累、耗尽或反型等状态，因此薄层 SOI MOSFET 在不同的正面栅压 V_G 和背面栅压 V_B 条件下可有九种不同的工作模式，如图 2.4，这些工作模式中的大部分没有实际用途，图 2.4 中阴影部分表示实际应用的工作模式。

前面所谈的都是增强型 MOSFET，这是最常见的 SOI 器件类型。在以后的章节中，除非特别指出，当提到薄膜 SOI 器件时，一般均指的是增强型器件。

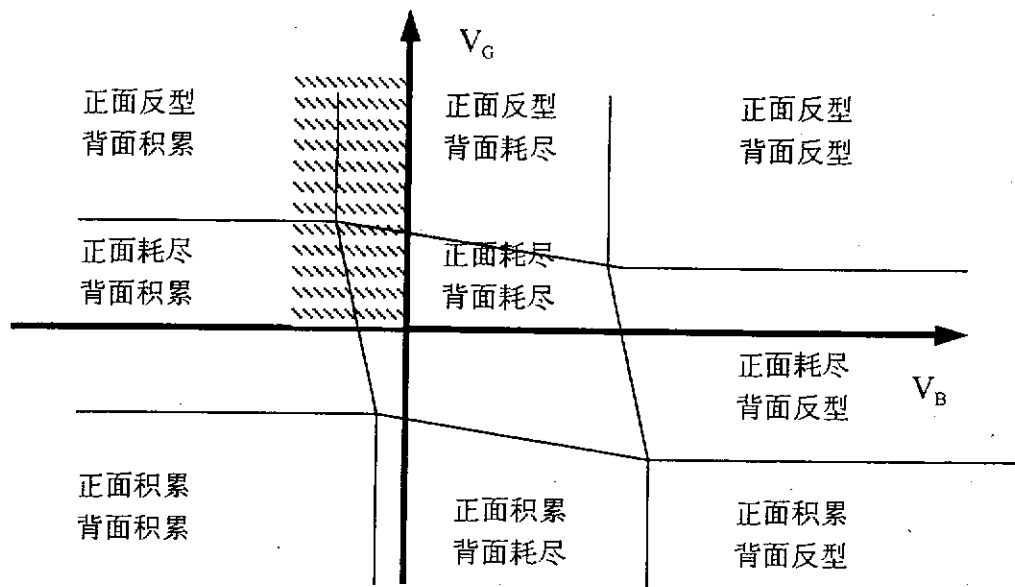


图 2.4 N 沟薄层器件 SOI MOSFET 在不同 V_G 和 V_B 下的各种工作模式

“中等膜厚” SOI 器件是厚层和薄层器件的过渡情况。其硅层厚度 t_{Si} 应满足条件 $x_{dmax} < t_{Si} < 2x_{dmax}$ (x_{dmax} 为最大耗尽层宽度)。如果在一定的背栅压下正背界面的耗尽区不能形成交迭或背界面处于中性或积累状态，则认为该器件为厚膜器件；相反，如果在背栅压作用下正背界面的耗尽区交迭起来，则器件处于全耗尽状态，可认为器件为薄层器件。

2.2 SOI MOSFET 的电学特性

2.2.1 阈值电压特性

对于体硅器件，N 沟道增强型 MOSFET 的阈值电压可以由下式给出^[12]：

$$V_{th} = V_{FB} + 2\Phi_F + \frac{qN_a x_{dmax}}{C_{ox}} \quad (2.2.1)$$

式中 V_{FB} 是平带电压, 可表示为 $\phi_{MS} - Q_{OX}/C_{OX}$, ϕ_F 是体费米势, 可表示为 $(kT/q) \cdot \ln(N_a/n_i)$, x_{dmax} 是最大耗尽层宽度, $x_{dmax} = \sqrt{4\epsilon_{Si}\phi_F/qN_a}$ 。

薄层全耗尽 N 沟道增强型 SOI 器件(如图 2.5 所示)的阈值电压可以在采用耗尽近似的情况下通过求解泊松方程得到^[13]。当背界面呈现各种不同的电荷状态时, 薄层 SOI 器件的阈值电压表达式也不相同。

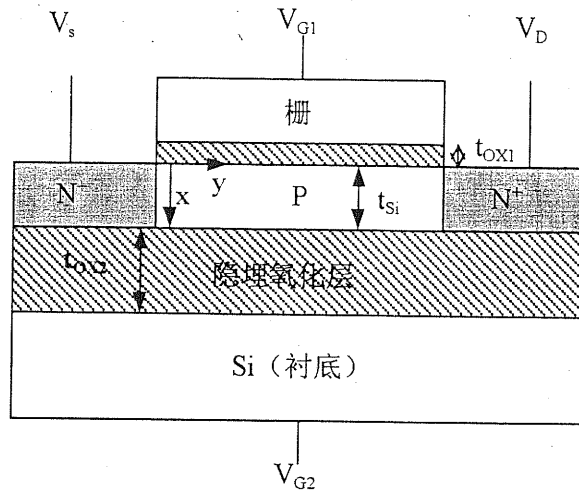


图 2.5 薄层 SOI N 沟道 MOSFET 剖面图

当背界面处于积累状态时, 器件正面的阈值电压可以表示为

$$V_{th1,acc2} = \phi_{ms1} - \frac{Q_{OX1}}{C_{OX1}} + (1 + \frac{C_{Si}}{C_{OX1}})2\Phi_F - \frac{Q_{depl}}{2C_{OX1}} \quad (2.2.2)$$

式中 ϕ_{MS1} 为正面功函数差, Q_{OX1} 是正面 Si/SiO₂ 界面的固定电荷密度, C_{OX1} 是正面栅氧化层电容, $C_{Si} = \epsilon_{Si}/t_{Si}$, Q_{depl} 是硅层中的耗尽层电荷, 可表示为 $-qN_a t_{Si}$ 。

当背界面处于耗尽状态时, 器件正面的阈值电压可以表示为

$$V_{th1,dep2} = V_{th1,acc2} - \frac{C_{Si}C_{OX2}}{C_{OX1}(C_{Si} + C_{OX2})}(V_{G2} - V_{G2,acc}) \quad (2.2.3)$$

其中 $V_{G2,acc}$ 为器件正界面开启时背界面达到积累状态所需的背栅偏压

值。

当 NMOS 管采用 P⁺多晶硅, PMOS 管采用 N⁺多晶硅时, 阈值电压能够得到很好的控制。

2.2.2 体效应

在体硅器件中, 将阈值电压对衬底偏压的依赖关系定义为体效应。在 SOI 器件中, 也可类似地将开启电压对背栅压的依赖关系称为体效应。

对于体硅 N 沟道 MOSFET, 其阈值电压可表示为:

$$V_T = V_{FB} + 2\Phi_F + \frac{Q_b}{C_{OX}} \quad (2.2.4)$$

又因 $Q_b = \sqrt{2\varepsilon_{Si}qN_a(2\Phi_F - V_B)}$

如果定义 $\gamma = \sqrt{2\varepsilon_{Si}qN_a}/C_{OX}$, 则可得

$$V_T = V_{th0} + \gamma(\sqrt{2\Phi_F - V_B} - 2\sqrt{\Phi_F}) \quad (2.2.5)$$

式中, $V_{th0} = V_{FB} + 2\Phi_F + \gamma\sqrt{2\Phi_F}$ 为衬底偏压等于零时的阈值电压, γ 为衬底偏系数 (单位为 V^{1/2})。

在厚膜 SOI 器件中, 由于正背栅之间没有耦合作用, 所以体效应 (严格来说应称为背栅效应) 可以忽略 ($\gamma=0$)。

对于薄膜全耗尽 SOI 器件, 体效应 (严格来说应称为背栅效应) 为阈值电压对背栅压的偏导, 当背栅压使器件背界面处于反型或积累状态时, 反型或积累电荷屏蔽了背栅电场, 可以认为体效应为零 ($\gamma=0$), 当背面为耗尽状态时:

$$\gamma = \frac{dV_{th1,depl2}}{dV_{G2}} = -\frac{C_{Si}C_{OX2}}{C_{OX1}(C_{Si} + C_{OX2})} = -\frac{\varepsilon_{Si}C_{OX2}}{C_{OX1}(\varepsilon_{Si} + t_{Si}C_{OX2})} \quad (2.2.6)$$

在大多数情况下, 可以采用近似 $\gamma = -\frac{t_{OX1}}{t_{OX2}}$ 。

由于体硅和 SOI 器件之间 γ 参数的单位不同, 所以它们不能直接比较。但有一点是非常明确的, 即 SOI 器件的背栅效应远远小于体硅器件的体效应。体效应减小是 SOI 器件的一个重要特性, 对于工作时源不直接接地的晶体管 (如传输门、NMOS 负载管和差分输入对管

等), 体效应将减小它的电流驱动能力。由此可以预期 SOI 器件的电流增益较同类体硅要高。

2.2.3 跨导

MOSFET 的跨导是栅压对漏电流有效控制能力的量度。对于工作在饱和区的体硅 N 沟道 MOSFET, 其跨导可以表示为 ($V_{DS} > V_{Dsat}$)

$$g_m = dI_{Dsat} / dV_G \approx \frac{W\mu_n C_{OX}}{L(1+\alpha)} (V_G - V_{th}) \quad (2.2.7)$$

式中 $\alpha = \epsilon_{Si} / x_{dmax} C_{OX}$ 。

对于全耗尽 SOI MOSFET, 当 $V_{DS} > V_{Dsat}$ 时, 其跨导特性为

$$g_m = dI_{Dsat} / dV_{G1} \approx \frac{W\mu_n C_{OX1}}{L(1+\alpha)} (V_{G1} - V_{th}) \quad (2.2.8)$$

式中, 背面积累时, $\alpha = C_{Si} / C_{OX1}$; 背面耗尽时, $\alpha = C_{Si} C_{OX2} / C_{OX1} (C_{Si} + C_{OX2})$ 。经分析得, α 值服从下面关系:

$$\alpha_{\text{背面耗尽 SOI 器件}} < \alpha_{\text{体硅器件}} < \alpha_{\text{背面积累 SOI 器件}} \quad (2.2.9)$$

所以全耗尽 SOI 器件的跨导值最高, 体硅器件次之, 存在背面积累的 SOI 器件的跨导值最低。

2.2.4 亚阈值斜率

MOS 晶体管中的亚阈值电流是一少子扩散电流, 仿照双极晶体管求基极电流时的理论分析知道: 忽略界面陷阱影响, 则对于体硅、薄膜 SOI 器件, 亚阈值斜率为:

$$S = \frac{kT}{q} \ln(10) \left(1 + \frac{C_D}{C_{OX}} \right) \quad (2.2.10)$$

式中, C_D 是耗尽层电容。

同理, 对于薄膜 SOI 器件, 经推导可得:

$$S = \frac{kT}{q} \ln(10) \left(1 + \frac{C_{Si} C_{OX2}}{C_{OX1} (C_{Si} + C_{OX2})} \right) \quad (2.2.11)$$

因此, 在一般情况下, 亚阈值斜率可表示为

$$S = \frac{kT}{q} \ln(10)(1 + \alpha) \quad (2.2.12)$$

式中 α 的含义与前面讨论跨导时相同, 并且服从下面的关系:

$$\alpha_{\text{背面耗尽 SOI 器件}} < \alpha_{\text{体硅器件}} < \alpha_{\text{背面积累 SOI 器件}} \quad (2.2.13)$$

所以全耗尽器件具有最低的亚阈值斜率, 体硅器件次之, 背界面积累的 SOI 器件的亚阈值斜率最大。

2.2.5 载流子迁移率

TFD SOI MOSFET 器件影响载流子迁移率的因素除了材料质量, 沟道掺杂浓度, 沟道横向电场, 纵向电场外, 还存在一个沟道区硅膜厚度的问题。从大量已经公开发表的文献来看, 对于全耗尽器件, 随着硅膜减薄, 表面垂直于沟道的电场(横向电场)下降, 表面沟道向深扩展, 一方面表面横向电场对载流子的散射下降; 另一方面, 前沟道界面态对载流子的影响减弱, 所以载流子的迁移率反而提高, 器件饱和跨导和饱和电流增加, 这也是全耗尽器件相对于部分耗尽器件和体硅器件的优点之一。但是, 随着器件向深亚微米缩小, 硅膜厚度下降到 10nm 以下时, 载流子迁移率迅速随着膜厚下降^[14]。

2.2.6 “kink”效应与热载流子效应

“kink”效应是指 SOI MOSFET 的输出特性曲线向上弯曲的现象, 它是 SOI MOSFET 结构中一种特有的寄生效应。这一现象在漏电压高于某个值时便会发生, 并在 N 沟器件中表现的较为明显, 而在 P 沟器件中相对较弱。对于部分耗尽的 N 沟 SOI 器件, 当漏电压充分高时, 沟道电子可以从漏结附近的高场区中得到足够的能量并通过碰撞电离而产生电子-空穴对, 所产生的电子在电场的作用下迅速穿过沟道区到达漏区, 而空穴则迁移到硅层中电位较低的体浮空区域, 使体浮空区的电位升高, 体-源结形成正向偏置。体电位的增加降低了器件的阈值电压。随着漏电压的增加, 阈值电压的减小, 因而导致漏电流的增加。表现在器件的电流输出特性上, 便发生了特性曲线向上弯曲的现象。对于全耗尽的 N 沟 SOI 器件, 其漏端电场比部分耗尽器件中的值要小, 因此在全耗尽器件中所产生的电子-空穴对相对较少。与部分耗尽器件一样, 电子迅速穿过沟道到达漏极, 而空穴则向电位最低处即源结迁移。由于在全耗尽器件中硅层已全部耗尽, 体源之间势垒很小, 空穴很容易在源区被复合掉而不必再升高体电位。这时实际上不

存在体效应, 阈值电压也就不随漏电压的增加而减小。因此, 薄层全耗尽 N 沟 SOI MOSFET 中不产生 “kink” 效应。

在 P 沟 SOI 器件中, 由于高能空穴的碰撞电离系数比高能电子的碰撞电离系数要小得多, 所以一般不发生 “kink” 效应。在体硅器件中, 如果碰撞电离所产生得多子可以通过衬底或阱接触而流出体外, 则也不会观察到 “kink” 效应。但如果将阱浮置起来或硅体处于不导电状态, 器件便会发生 “kink” 效应。在部分耗尽的 SOI MOSFET 中, 为了消除 “kink” 效应, 可以在硅体做一个接触而使所产生的过剩的多子流出体外。

此外, 随着器件尺寸的不断减小, 热载流子退变成为影响 MOS 器件可靠性的最主要因素之一。MOS 器件中的横向电场与电源电压近似成正比, 与栅长近似成反比。器件尺寸的减小可使漏端的电场非常强, 足以对器件的可靠性构成威胁。当器件工作在饱和状态时, 在沟道夹断点与漏结之间可以形成相当强的电场, 电子在高能去获得能量成为高能电子, 其中一部分电子可以注入到栅氧化层中, 从而使 Si/SiO₂ 界面受到破坏。当热电子注入数目较多时还可以检测到硅电流的存在。高能沟道电子也可以通过碰撞电离产生电子-空穴对。在体硅器件中, 所产生的空穴流入衬底而形成衬底电流, 但对于全耗尽 SOI 器件, 其漏端电场相对较小, 器件的热电子退变也要弱一些。

2.2.7 寄生双极晶体管效应

在 MOS 结构中存在一寄生晶体管。对于体硅器件, 寄生双极晶体管的基区一般是通过衬底接触接地。而在 SOI 器件中, 硅体(相当于双基晶体管的基区)一般是浮置的。这一双极晶体管效应正是 SOI 器件呈现反常亚阈值斜率和击穿电压降低等现象的根源。

在 SOI 器件中, 漏端碰撞电离产生的多子(对于 N 沟器件是空穴)可以导致体电位增加, 器件的开启电压减小。当栅电压低于阈值电压时, 也可以产生类似的效应。当器件工作在亚阈值区域时, 如果漏端电压充分高, 尽管漏极电流非常小, 也可以发生碰撞电离。当栅电压增加时, 弱反型电流在漏端高场区域产生碰撞电离, 所产生的空穴使体电位增加, 因而器件阈值电压减小。这时可以看到器件的亚阈值斜率大于理论预期的极限值。也就是说, 其亚阈值斜率的倒数低于理论值(60mV/10 倍)。如果硅层少数寿命充分高, 因 MOS 器件中存在 NPN 结构, 则寄生双极管可以将基极电流放大, 从而引起漏端电流的增加。

漏端电流的增加可在器件中形成一正反馈，从而导致漏端电流的急剧增加。这一现象也被称为“单晶体管的闩锁效应”。如图 2.6 所示。图中 M 为碰撞离化放大因子。如果将器件的硅体接地，则这一单晶体管闩锁效应便不会发生。薄层全耗尽器件也可以减弱这一效应。

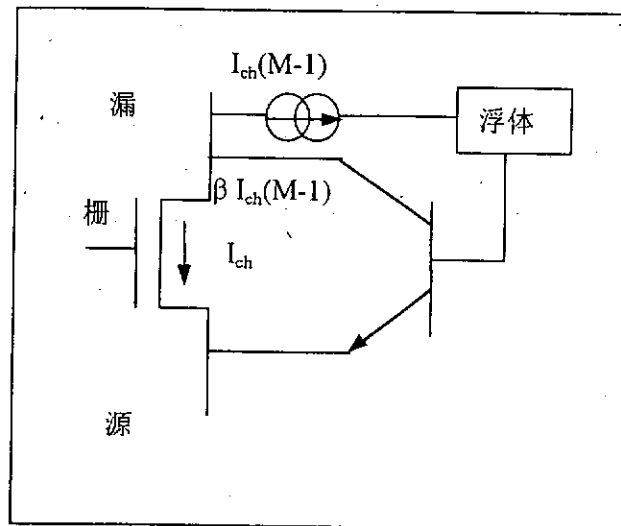


图 2.6 SOI MOSFET 中的寄生双极晶体管效应
(I_{ch} 是沟道电流)

已经证明，当 SOI 器件的漏 P-N 结穿通硅层直接接触到隐埋氧化层时，器件中的漏结处峰值电场较之体硅器件的值要低^[15]，因此 SOI 器件的结击穿电压应该比体硅器件的值高。然而，SOI MOSFET 中存在一基区浮置的寄生双极晶体管，根据双极晶体管理论^[13]，基极开路的集电极(漏端)击穿电压比基极接地时的击穿电压要低。漏击穿电压降低是目前 SOI 亚微米器件研究中的主要困难之一^[16]。解决这一问题的可能方法很多。例如，文中我们采用双多晶硅结构，可以大大降低沟道区的载流子浓度，使源漏击穿特性得到很大的改善。经过优化设计的 LDD/LDS 结构的全耗尽 SOI MOSFET 也将使亚微米 SOI CMOS 成为一种富有生命力和应用前景的先进技术。

2.2.8 短沟道效应

广义的短沟道效应包括两种效应：漏电场效应 (DFE) 和漏致势垒降低效应 (DIBL)。DFE 效应的根源是短沟道器件中电场分布的二

维性质: S/D 耗尽区向沟道方向和衬底方向发展使沟道电场呈二维性质。在 TFSOI 器件中, 硅膜厚度进一步缩小, 硅膜决定器件的结深, 耗尽区不能向衬底方向发展, 所以 TFSOI 中 DFE 不明显。DIBL 是 TFSOI 中最重要的一种短沟道效应, 它是漏电压直接影响沟道表面势造成的。

根据简单极子模型和经典按比例缩小理论^[17]可知:

1. 加大沟道掺杂浓度, 浓度越大, 漏到源的电力线穿透几率越小, 有利于减小 DIBL。
2. 减薄栅氧化层, 减薄埋氧化层。栅氧化层和栅电极, 埋氧化层和衬底相当于两个导电平面; 氧化层越薄, 相当于导电平面离偶极子越近, 源漏耦合越弱, DIBL 越弱。
3. 有效沟道长度: 有效沟道长度越短, 漏端电力线越容易穿透到源端, DIBL 越大。
4. 硅膜厚度的影响: TFD SOI 器件的膜厚决定了源漏结深, 硅膜越薄, 源漏结深越浅, DIBL 效应越弱。

TFD SOI 器件的膜厚决定结深, DIBL 效应随硅膜按比例减薄而减弱是 TFD SOI 相对于 PD SOI 和体硅器件的最重要的优点之一, 也是 TFD SOI 更适应于按比例缩小的有力证明。

2.2.9 自加热

自加热是 SOI 器件中的一个严重的问题。由于 SOI 结构与体硅不同, 埋氧的热导率要远远低于硅 (约 100 倍), 所以器件长时间低频或直流工作时器件就会发热^{[18][19]}, 导致载流子迁移率下降^[20]。有人研究发现^[21], 150nm 埋氧/0.25 μm 器件沟道的温度要上升到 100°C, 这是非常严重的。在模拟应用中易导致漏电导下降, 直至出现负输出电导^[22]。

与器件自加热关系比较密切的结构参数有硅膜厚度、埋氧厚度、金属接触与沟道的间距等^[23]。

目前常用栅电阻法和漏电导法测沟道温度与沟道的关系^[24]。

2.2.10 SOI MOSFET 的抗辐射特性

SOI 器件和电路在大规模商用之前, 目前主要用于航天、军事电子以及核能和平利用等领域。在这些应用中, 抗辐射加固是一个关键的问题。辐射对器件和电路的影响则取决于所遭受辐射的种类 (中子、

重粒子以及电磁辐射)。由于中子是通过晶格间的诱生原子位移来影响载流子的寿命,因此,与双极器件不同,SOI MOS 器件和体硅 MOS 器件对于中子辐射都相当不敏感。但对于单粒子事件 (SEU)、瞬时辐射以及总剂量辐射则表现出很高的敏感性。

当一个载能粒子入射到器件中时就可能引起单粒子失效 (SEU)。当这种粒子入射到一个反偏 P-N 结耗尽区及下面的体硅时,沿着粒子运行的轨迹,硅原子被电离,产生电子-空穴对。这种轨迹的存在使其径迹附近 P-N 结耗尽层发生短时塌陷并且使耗尽层电场的等位面变形,沿着轨迹产生的电子空穴对被分离。在体硅器件中电子被推进到耗尽层中,而空穴向下并产生衬底电流。这些电子会使耗尽区收集的电荷数大量增加,它可使该器件所在的电路节点处的逻辑状态反转。在 SOI 器件中,入射的粒子也将沿着他的轨迹使硅电离。但由于在有源区和衬底之间存在隐埋绝缘层,所以衬底内产生的电荷均不能被 SOI 器件的结所收集,只有那些 SOI 顶部硅层内产生的电子才能被收集。由于 SOI 中收集电子的有效轨迹长度的减少,使得 SOI 器件中电流尖峰比体硅器件中的小得多。因此 SOI MOS 器件具有很强的抗单粒子扰动的能力。

器件持续受到电离辐射 (例如 X 射线以及 γ 射线) 照射会产生总剂量效应。在 MOS 器件中总剂量引起的效应主要是在氧化物中产生电荷以及在 Si/SiO₂ 界面产生界面态。电离辐射会在栅 SiO₂ 中产生电子空穴对,即使在室温 SiO₂ 的电子也是可动的,它们在电场的作用下,能够迅速移动并离开 SiO₂ 层,而陷在栅 SiO₂ 层中的空穴产生正的栅氧化物电荷,引起 MOS 器件阈值电压的漂移,阈值电压漂移与辐射剂量之间的关系可以写为^[25]

$$\Delta V_{th} = -\alpha \frac{qm_v}{w\epsilon_{ox}} t_{ox}^2 D \quad (2.2.14)$$

其中, w 为在氧化层中产生一个电子空穴对所必需的有效能量 (18eV), m_v 是氧化物的质量密度, α 因子用于说明在氧化层中仅有部分电荷被俘, α 是一个与工艺相关的参数,对于非加固的氧化层, α 值为 0.15, 对于抗辐射加固的氧化层, α 值仅为 0.05 或更小。SIMOX 材料的隐埋氧化层具有近似为 0.05 的 α 值。总剂量电离辐射也在 Si/SiO₂ 界面产生界面态。与降低 N 沟器件的阈值电压的氧化物电荷的作用相

反, 界面态的产生使阈值电压增加。在 P 沟器件中氧化物中的正电荷和界面态的产生均会导致阈值电压绝对值的增加。

SOI MOSFET 具有多个 Si/SiO₂ 界面, 除非采用特殊的加固技术, 否则界面对于总剂量辐射是相当敏感的。SOI 器件的栅氧化层加固技术与体硅器件类似, 例如采用低温生长氧化层。避免背栅及边缘漏电是 SOI MOS 器件必需解决的关键问题。

2.3 本章小结

本章比较详细地分析和总结了 TFD CMOS/SOI 器件物理近年来的一些研究成果, 包括器件工作模式, 阈值电压, 体效应, 亚阈值斜率, 跨导, 载流子迁移率, Kink 效应与热载流子效应, 寄生双极管效应, 短沟效应, 自加热, 以及抗辐照特性等。为了解决 TFSOI 器件击穿电压低的问题, 提出了 NMOS 器件采用 P⁺多晶硅栅, PMOS 器件采用 N⁺多晶硅栅的双栅结构。

第三章 全耗尽 SOI CMOS 关键工艺

SOI 由硅层和二氧化硅层组成, 故 SOI 基片的表观与体硅基片十分相似。SOI 电路可以在标准的体硅工艺线上制备, 而且可以把体硅和 SOI 基片混合在同一批里进行电路制备。由于 SOI 材料的特殊性, SOI 器件工艺比体硅工艺更简单。例如, 在 SOI 器件制备工艺中不需要做扩散阱。下面我们将更为详细地描述 SOI 器件制备工艺的特殊性: 隔离技术、沟道工程硅、双多晶硅栅结构、硅化物等。

3.1 隔离技术

实现有源区的相互隔离有许多方法。在 SOI 器件中所使用的隔离技术比体硅器件中简单, 这是由于在顶部硅层下面存在着隐埋绝缘层 (它提供了内在的纵向隔离, 从某中意义上说, 体硅工艺中复杂的器件隔离工艺一部分已被转移到基片制备阶段, 即 SOI 硅片的制备)。SOI 器件隔离时, 主要有三种隔离技术: LOCOS (硅的局部氧化), 由于其可靠、可控性好而利于提高器件的成品率, 但是“鸟嘴”太长, 阻碍了 LOCOS 工艺在亚微米技术中的应用, 同时漏泄电流也影响了器件的性能; 台面隔离 (MESA) 是另一种使硅岛相互隔离的方法, 这种技术由于它的简易性而极富有吸引力, 它仅通过一次光刻和一次硅岛刻蚀即可使硅形成隔离岛或台面图形, 但是硅尖角处的氧化会产生厚度不均匀的 SiO_2 层, 氧化层变薄以及硅岛的锐化都会引起栅氧化层击穿电压的降低; 第三种隔离技术 (称之为氧化台面技术) 是台面隔离和 LOCOS 隔离技术的组合, 它综合了这两种技术的优点, 但其工艺较复杂。

理想的隔离技术应具有以下特点: (1) 有源区间距应最小; (2) 鸟嘴 (BBL) 尽可能小; (3) 有源器件之间的漏泄电流可以忽略; (4) 隔离工艺不能负面影响有源器件所需的工艺参数; (5) 隔离工艺容易实现和控制。为此, 我们采用了一种改进的 LOCOS 隔离技术——PB LOCOS 隔离, 基本上符合上述要求。

PBL^[26-29] (Polycrystalline silicon Buffered LOCOS) 技术与常规的 LOCOS 相比, 只是氧化层 (SiO_2) 和氮化层 (Si_3N_4) 之间加了一缓冲层——多晶硅层, 使之吸收氮化层的应力, 阻止氧的横向扩散, 从而有效地减少“鸟嘴”。主要工序如下: (1) 900°C , 热氧化, 生成 15nm 氧化层; (2) 625°C , LPCVD 未掺杂多晶硅淀积, 50nm; (3) 800°C , LPCVD 氮化硅, 200nm; (4) 光刻场区; (5) RIE, 刻蚀氮化硅层; (6) RIE, 刻蚀多晶硅层; 下面的氧化层没有刻蚀, 主要基于以下目的: ①避免干腐

蚀过程中损伤硅表面；②对于场注入来说，可以作为掩蔽层；③由于这一层不影响下面的场氧化，避免不必要的步骤。(8)场区氧化；(9)湿法腐蚀氮化层；(10)RIE，刻蚀多晶硅；(11)腐蚀氧化层。整个工序中，关键在于有源区上掩蔽层的剥离。剥离氮化层后，就会发现在多晶硅上出现坑(pits)和空位(voids)，以及在场氧与有源区的边缘附近存在残余物。这些缺陷将给后续的多晶硅、氧化层的剥离带来困难，并且直接影响到下面的 Si 膜，最终导致器件性能恶化。为此，必须了解这些缺陷产生的机理，并采用合适的工艺尽量减小或消除这些缺陷。有两种机理可以解释这种现象，一种是 Kooi effect，一种是应力诱发缺陷。

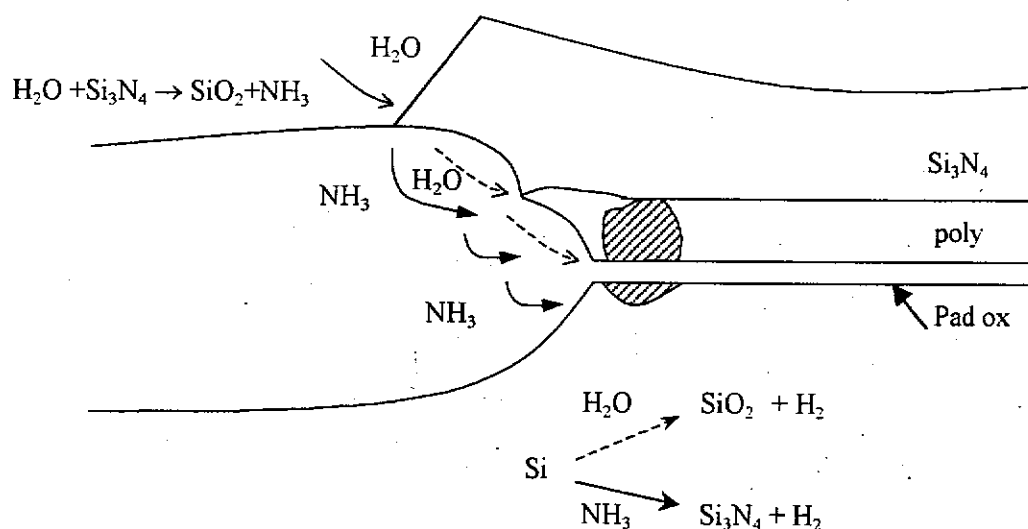


图 3.1 Kooi 效应机理

Kooi effect 指场氧化采用湿氧时，水分子与 Si_3N_4 反应形成氧化硅和氨气。如图 3.1 所示。当 NH_3 沿着垫氧层(Pad Oxide)扩散时，有两个竞争反应，即氧化剂(H_2O)与 Si 的氧化反应以及 NH_3 与 Si 的氮化反应： $\text{Si} + \text{H}_2\text{O} \rightarrow \text{SiO}_2 + \text{H}_2$ ， $\text{Si} + \text{NH}_3 \rightarrow \text{Si}_3\text{N}_4 + \text{H}_2$ 。在 NH_3 扩散的初始阶段，氧化剂比较丰富，此时，氧化反应占主导；沿着鸟嘴方向，氧化剂数量减少，氮化反应变得重要，结果导致了在多晶硅和 Si 衬底上形成由氧化物和氮化物组成的白带(white-ribbon)。由于晶界效应，在多

晶硅中的氧化过程与氮化过程比在 Si 中快。在湿氧化结束时，小的晶粒和晶界转化为氮化物和氧化物的混合物。在性质上，一些晶粒更接近氧化物（富氧），而另一些晶粒则更象氮化物（富氮）。因此，当用磷酸刻蚀 Si_3N_4 后，那些富氮的晶粒被完全剥离，即得多晶硅上形成坑，而那些富氧的晶粒则原封不动，即为观察到的残余物，如图 3.2 所示。经过 BOE 浸泡后可剥离。当剥离多晶硅后，会在垫氧层上形成坑，进一步剥离垫氧层，导致在 Si 衬底上形成坑。在工艺中可以采用以下措施来避免这种现象：当用干法腐蚀剥离多晶硅、垫氧层后，生长一层保护氧化层，接着腐蚀氧化层， SiO_2 对 Si 的选择比要大，这样得到的硅膜表面比较平坦，并且没有残余物，从而增大了有源区的面积。另一种机理是应力诱发缺陷。这种机理可以解释在多晶硅中存在的空位。多晶硅中存在空位是为了减少场氧化过程中产生的应力。如果减少了应力，就能避免在多晶硅中形成空位。通常减少应力的方法有：①厚的多晶硅膜；②高的场氧化温度；③修改掩蔽层结构。

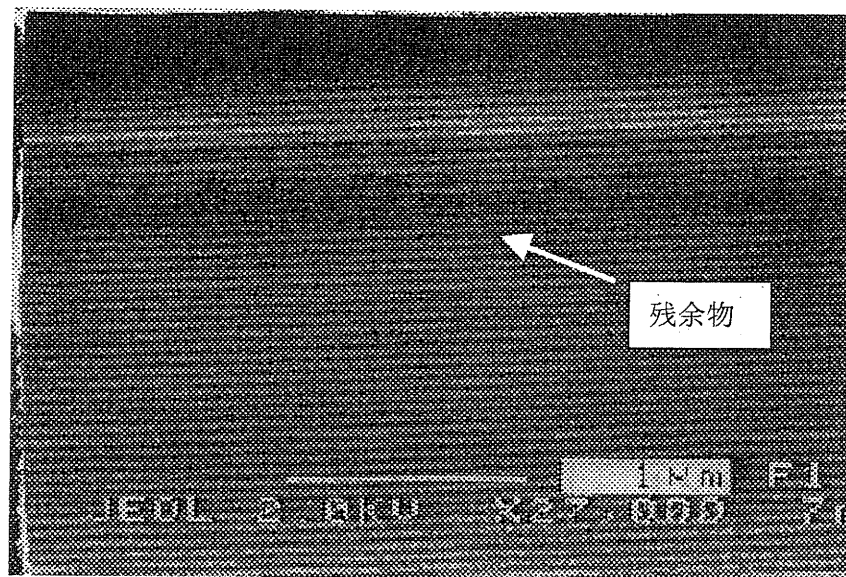


图 3.2 PBL 隔离中硅岛边缘的残余物

由于 PBL 工艺简单，而且隔离非常有效，因此在 VLSI 领域应用很广泛。但是随着深亚微米技术的发展，PBL 存在的一些问题渐渐暴露出来。由于多晶硅中个晶粒的晶向杂乱无章，而氧化速率依赖于晶向，因此各晶粒以不同的速率氧化，结果导致边缘的参差不齐；其次，就是在有源区边缘形成的微沟槽。有人认为，这些缺陷都是由多晶硅本

身的结构造成的。最近, 又有人提出了两种新结构: NPBL^[30] (Nitrogen in-situ doped Poly(α -Si) Buffered LOCOS) 和 SABL^[31] (the So-called stacked Amorphous Buffer LOCOS)。这两种工艺与常规的 PBL 类似, 只不过缓冲层换成非晶硅(α -Si)。由于 α -Si 的氧化速率比未掺杂的多晶硅慢, 使边缘更加平滑。用 α -Si 替代多晶硅的另一个原因是: 有人认为, 高的场氧化温度使多晶硅再结晶成更大的晶粒, 从而在多晶硅中形成空位。而掺氮的 α -Si 在高温处理时形成微晶结构, 而不是变成更大的晶粒, 从而减少或避免空位的产生。掺氮 α -Si 之所以能抑制空位的产生, 在于它阻碍了硅原子的迁移从而抑制了晶体的生长。

考虑到实验室的实际条件, 我们采用 α -Si 缓冲层来作实验。下面给出实验结果。

鸟嘴是由于氧的横向扩散造成的, 与垫氧的厚度有关, 从图 3.3 中可以看出, 当垫氧厚度增大时, 鸟嘴也变大。同时, 当 Si_3N_4 的厚度小于 240nm 时^[32], 鸟嘴随 Si_3N_4 厚度的增大而变小。多晶硅的厚度对鸟嘴的影响不是很明显, 一般其厚度都在 50nm 左右^[32]。因此, 考虑到鸟嘴的大小以及工艺中的其它一些因素, 200nm Si_3N_4 /50nm 非晶硅 / 15nm 氧化硅的三层结构, 是 PBL 工艺中最优化的参数。图 3.4 给出了鸟嘴的 SEM 照片。

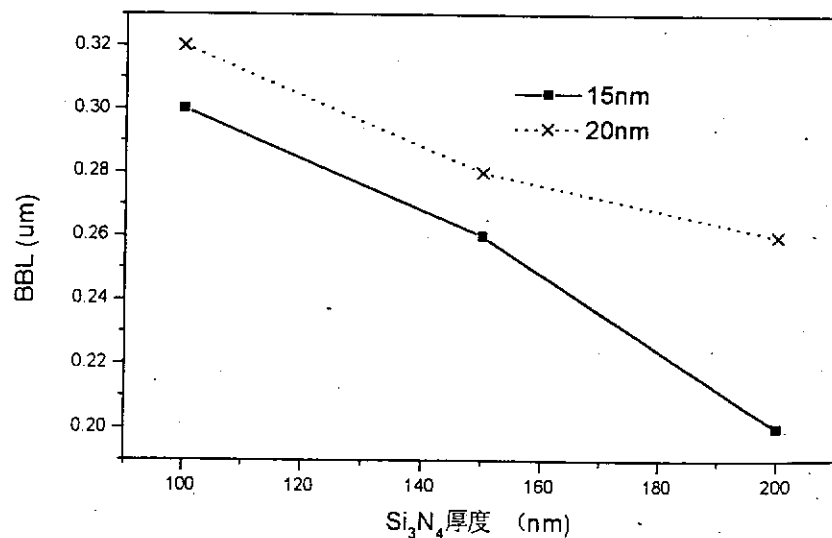


图 3.3 垫氧与 Si_3N_4 厚度对鸟嘴 (BBL) 的影响

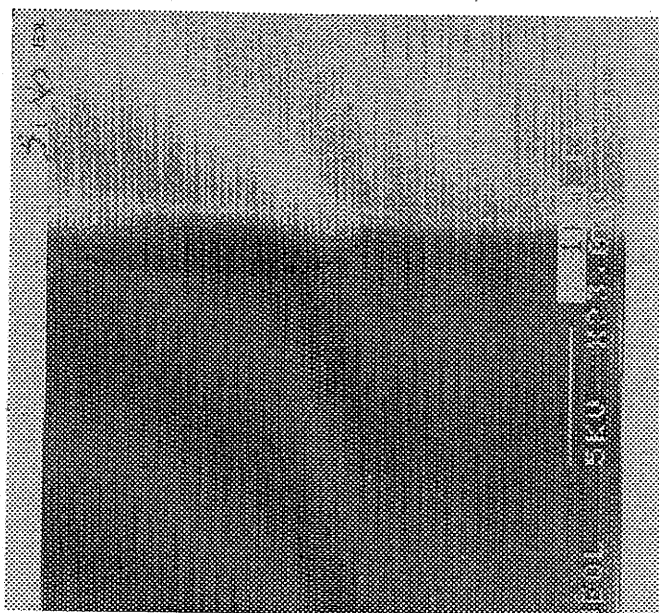


图 3.4 PBL 隔离工艺中鸟嘴的 SEM 照片

有源区栅氧的质量是评价隔离工艺的重要因素。栅氧质量与下面 Si 表面的缺陷多少有关, 因此, 在 PBL 工艺中要尽可能减少或避免损伤硅表面。图 3.5 给出了栅氧的击穿电压统计图。栅氧的厚度为 19nm, 由此计算出氧化层的绝缘强度为 8.4MV/cm。

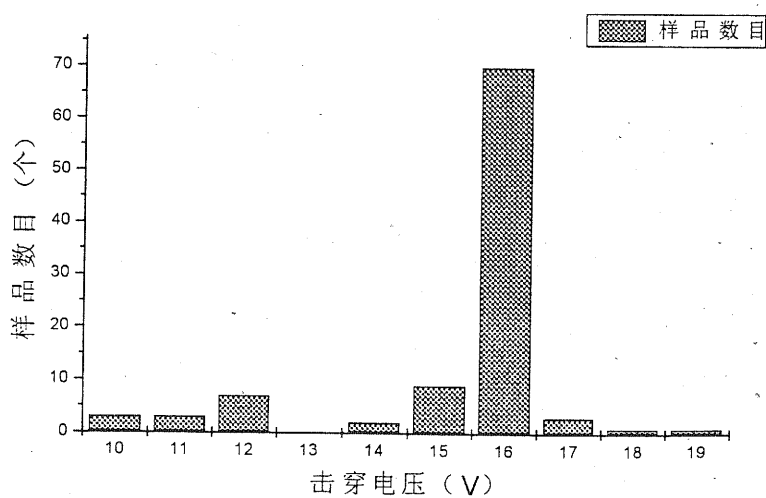


图 3.5 击穿电压统计图

图 3.6、3.7 分别给出了 p^+-n 结以及 n^+-p 结的漏电流。图中分别

统计了 80 个二极管的数据。测量在 25℃（室温）、5V 偏置电压下进行。结面积为 0.005cm²。

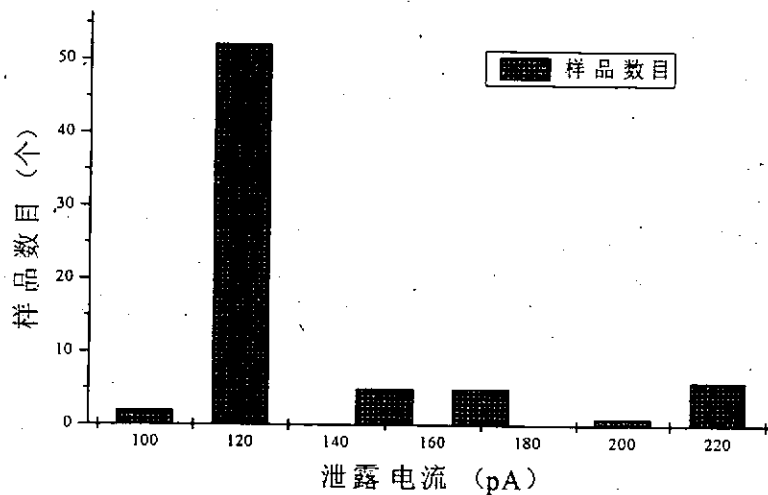
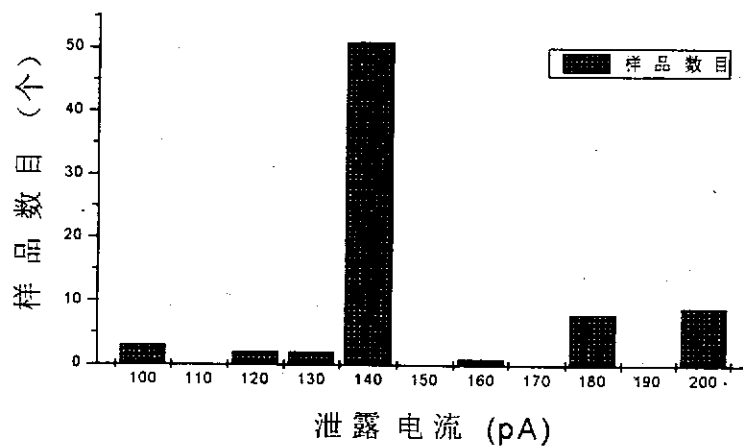


图 3.6 p⁺-n 结漏电统计图



3.7 n⁺-p 结漏电统计图

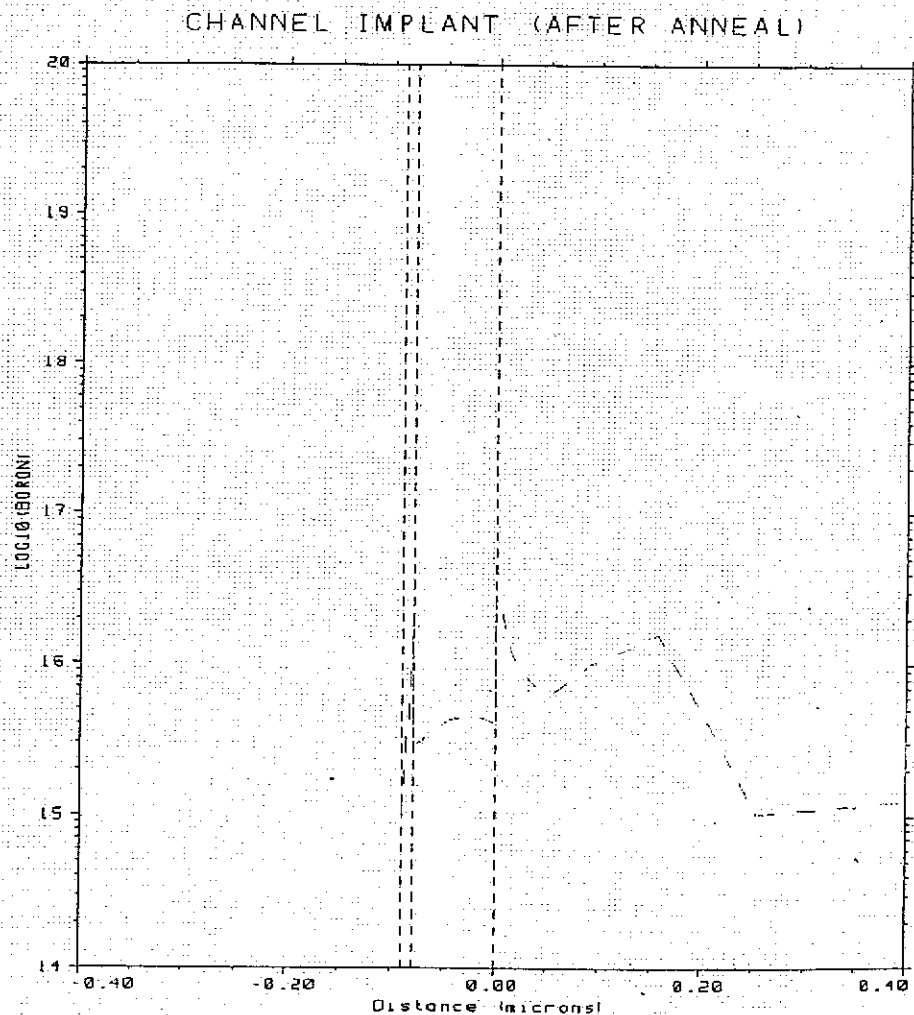
3.2 沟道工程

对于 SOI MOSFET，沟道工程主要有两个目的：正面沟道阈值电压的控制及背沟道漏电的消除。因此，在 0.8μ CMOS/SOI 工艺中，沟道掺杂采用深浅两次注入。一次注入为低能量、小剂量注入，主要用于沟道表面掺杂，调节阈值大小；二次注入为大能量、中剂量注入，主要用于抑制沟道穿通和背栅效应，提高器件击穿电压和亚阈值特性。在一般条件下，采用 $V_{ds}=0.1V$ 时的阈值电压 (V_T) 为基准调节一次注

入条件；单管“闷锁”效应导致源漏击穿电压显著下降，通过二次注入提高沟道体内的掺杂浓度，一方面，可有效防止源漏穿透；另一方面，可提高寄生 NPN/PNP 的基区浓度，降低 β 值，减少寄生三极管对器件源漏击穿的影响；背栅效应导致器件亚阈值特性变差，通过二次注入提高背栅界面的掺杂浓度，可有效地抑制背栅效应。图 3.8 为采用 Tsuprem-4 模拟的 NMOS 晶体管沟道掺杂分布图。从图中可以看出，杂质几乎均匀地分布在沟道区，靠近背栅的区域杂质浓度稍高一些。优化的注入条件为：

NMOS: B⁺ 60KeV 2E12, BF₂ 80KeV 1E11

PMOS: P⁺ 100KeV 1E11



3.8 SOI NMOS 沟道杂质分布

3.3 氢氧合成栅

众所周知, 电离辐照损伤主要是在 MOSFET 的 SiO_2 层中产生大量陷阱电荷和在 Si/SiO_2 界面产生大量界面态, 因而对器件辐照性能影响最大的是栅氧化层的辐照能力。早在 1968 年, 人们就开始了对于 MOSFET 栅氧化层加固工艺的研究。最初 SiO_2 栅介质 MOSFET 的抗辐照水平不超过 $1 \times 10^4 \text{ rad(Si)}$, 于是人们开始寻求其它栅介质材料来代替 SiO_2 栅介质。RCA 公司采用 Al_2O_3 作为栅介质, Anbucbon K.G. 等用注入铝的 SiO_2 作为栅介质, Rock Well 公司用掺 Cr 的 SiO_2 作为栅介质都提高了 MOSFET 的抗辐照能力, 但器件的稳定性却下降了。1974 年, Anbucbon K.G. 首次提出 SiO_2 的抗辐照能力与氧化条件有关。通过近几十年对栅氧化工艺的大量研究, 得到了适用于加固工艺的氧化条件: 低温干氧氧化, 严格控制栅氧前硅片的清洗处理和炉管清洗, 选择适当的退火条件, 并尽量减薄氧化层厚度。我们研究了 900°C 干氧氧化和 850°C $\text{H}_2\text{-O}_2$ 合成氧化方式形成的 SiO_2 栅介质的辐照特性。与干氧氧化相比, $\text{H}_2\text{-O}_2$ 合成氧化工艺有如下一些优点: (1) 干氧制备的 SiO_2 层中空穴迁移率比湿氧 SiO_2 中的高, 因此, 用 $\text{H}_2\text{-O}_2$ 合成氧化法制备的 SiO_2 层中, 在空穴运动到界面附近被空穴陷阱俘获之前, 被电子复合的几率较大; (2) $\text{H}_2\text{-O}_2$ 合成氧化的温度仅 850°C , 比干氧氧化的温度低得多, 因此, 产生的缺陷少, 相应地由于辐射产生的陷阱电荷也少; (3) 采用 $\text{H}_2\text{-O}_2$ 合成氧化法制备的氧化层抗辐射能力明显增强, 这是因为辐射电荷的产生与 SiO_2 层中的电子、空穴陷阱都有关系, $\text{H}_2\text{-O}_2$ 合成氧化法制备的 SiO_2 层中含有较多的 OH 基, OH 基是电子陷阱, 它产生的负电荷积累补偿了一部分正电荷的作用。

我们采用纯干氧氧化以及 $\text{H}_2\text{-O}_2$ 合成氧化两种方式进行栅介质的生长, 并进行了相关的 MOS 电容制造及 γ 总剂量辐射实验。样品编号及 MOS 电容形成条件如表 3.1 所示:

表 3.1 MOS 电容形成条件

片号	氧化方式	退火条件
1	$\text{H}_2\text{-O}_2$ 合成	热退火, 900°C , 30'
2	$\text{H}_2\text{-O}_2$ 合成	快速热退火, 1000°C , 5"
3	纯干氧	热退火, 900°C , 30'
4	纯干氧	快速热退火, 1000°C , 5"

γ 总剂量辐照实验在中国科学院生物物理所钴源上进行, 总剂量 $5 \times 10^5 \text{ Rad(Si)}$, 剂量率 270 Rad(Si) / S , 辐照时电容加偏压 1 MV/cm 。

测量结果如表 3.2 所示:

表 3.2 辐照实验结果

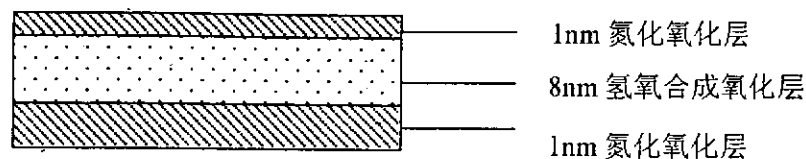
片号	ΔV_T (V)	ΔV_{FB} (V)	ΔV_{MG} (V)	ΔD_{it} (cm^{-2})	评价
1	-0.10	-0.20	-0.18	3.2×10^{10}	优
2	-0.15	-0.40	-0.35	8.2×10^{10}	良
3	-0.10	-0.25	-0.20	1.25×10^{11}	良
4	-0.25	-0.45	-0.55	-2.5×10^{11}	次

表中, ΔV_T 、 ΔV_{FB} 、 ΔV_{MG} 、及 ΔD_{it} 指的是在辐照前后 MOS 电容的阈值电压变化、平带电压变化、中带电压变化及界面态变化。从表 3.2 的结果可以看出: (1) 栅氧化的优选方式是氢氧合成氧化法; (2) 1000℃ 快速退火效果一般不如 900℃, 30" 热退火。

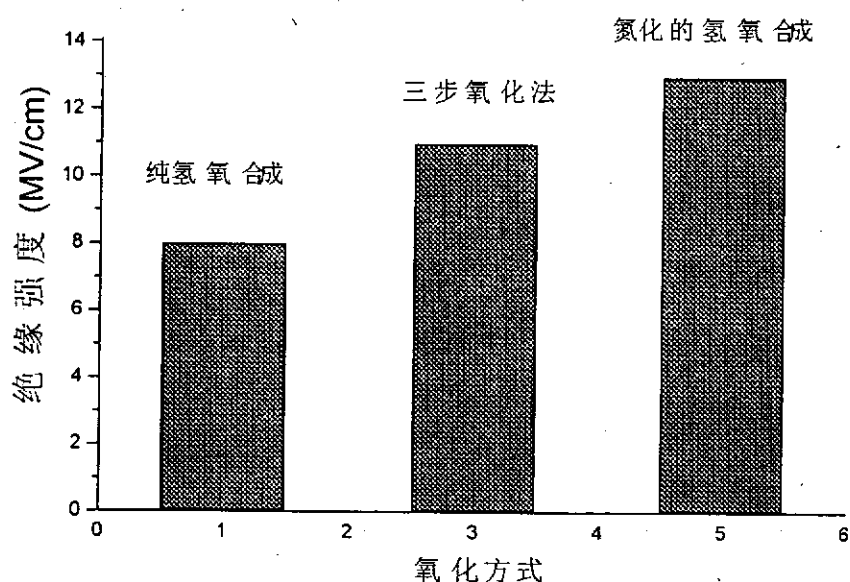
但是, 常压下 $\text{H}_2\text{-O}_2$ 合成氧化本质上就是水汽氧化, SiO_2 的生长速率很快, 且生成的 SiO_2 层较疏松, 针孔多, 击穿电压低, 氧化层界面电荷密度较大。为此, 对常规的 $\text{H}_2\text{-O}_2$ 合成氧化工艺进行了改进。首先是优化选取了 H_2 和 O_2 的气体流量比, 其中主要是适当增加 O_2 的比例, 降低 H_2 的比例; 其次是在 $\text{H}_2\text{-O}_2$ 合成氧化之前和之后分别增加一定时间的等温 (与 $\text{H}_2\text{-O}_2$ 合成氧化的温度相等) 干氧氧化, 并在氧化之后增加一次退火。我们称这种氧化工艺为三步氧化法, 此工艺为: 氧化前先用 HCl 气体处理管道并严格处理 SOI 基片, 氧化时不通 HCl 气体, 氧化开始后, 先进行 850℃ 干氧氧化 5 分钟, 接着进行 850℃ 的 $\text{H}_2\text{-O}_2$ 合成氧化, 栅氧的厚度主要有这一步的氧化时间决定, 之后再再进行 5 分钟 850℃ 干氧氧化, 最后在 875℃、 N_2 气氛下退火 30 分钟。

由于氮化氧化的栅介质能有效地提高击穿特性和抑制热载流子效应, 改善硼穿透象。同时由于氮化促使 Si-N 键代替 Si-O 键, 抑制界面态产生, 并能提高抗辐射能力。但直接生长的氮化氧化栅存在自限制生长特性, 难以满足工艺的要求, 因此, 我们对上面的三步氧化法进一步加以改进, 将 $\text{H}_2\text{-O}_2$ 合成氧化和氮化氧化两种技术相结合, 制成三层结构的 Sandwich 栅 (如图 3.9), 可改善 TDDB 特性和抗辐射能力。具体的生长条件是: HF/IPA 清洗 — N_2O 氮化氧化栅介质 3nm — $\text{H}_2\text{-O}_2$ 合成氧化 8nm — N_2O 氮化氧化栅介质 1nm — 850℃ N_2 退火 30min。图 3.10 给出了采用纯湿氧、三步氧化法以及氮化的氢氧合成法三种方式生长的栅介质绝缘强度的比较。从图中可以看出, 氮化的氢氧合成法生长的栅氧绝缘强度最大。三者之间其它方面的比较

还有待研究。



3.9 三层结构的 sandwich 栅



3.10 三种氧化方式生长的栅介质绝缘强度的比较

3.4 注 Ge 硅化物

在薄膜 SOI 技术中, 源和漏区的方块电阻可以达到很高的值(方块电阻大体上反比于薄膜的厚度), 这会损害电路的速度性能。为了降低漏和源区的方块电阻, 有必要采用硅化物化源和漏区。在 SOI 技术中, 最为广泛使用的是钛金属硅化物(TiSi_2)。常规的硅化物工艺^[33-35]通过淀积钛金属层以及随后的两步退火形成。硅化物的厚度与淀积 Ti 的厚度有关。若淀积的 Ti 太薄, 容易引起热聚集 (Thermal agglomeration), 导致差的电学接触; 若淀积的 Ti 太厚, 由于在纵向 Si 原子的数量是有限的, Si 只有经过横向扩散来参与反应, 这样容易形成空位(voids)。具体过程是这样的(图 3.11): 经过第一次退火, 剥离未参与反应的 Ti 后发现, 在 S/D 区形成的硅化物由两层组成: TiSi_x (富 Ti)和 TiSi_2 (C49), 然后经过第二次退火, 由于漏/源区的硅

已经全部参与反应，为使 TiSi_x 转化为理想配比的 TiSi_2 ，沟道区的 Si 不得不越过一定的距离来参与 TiSi_x 的反应，于是，在沟道区与漏/源区的界面处形成空位，导致漏/源区电阻增大。

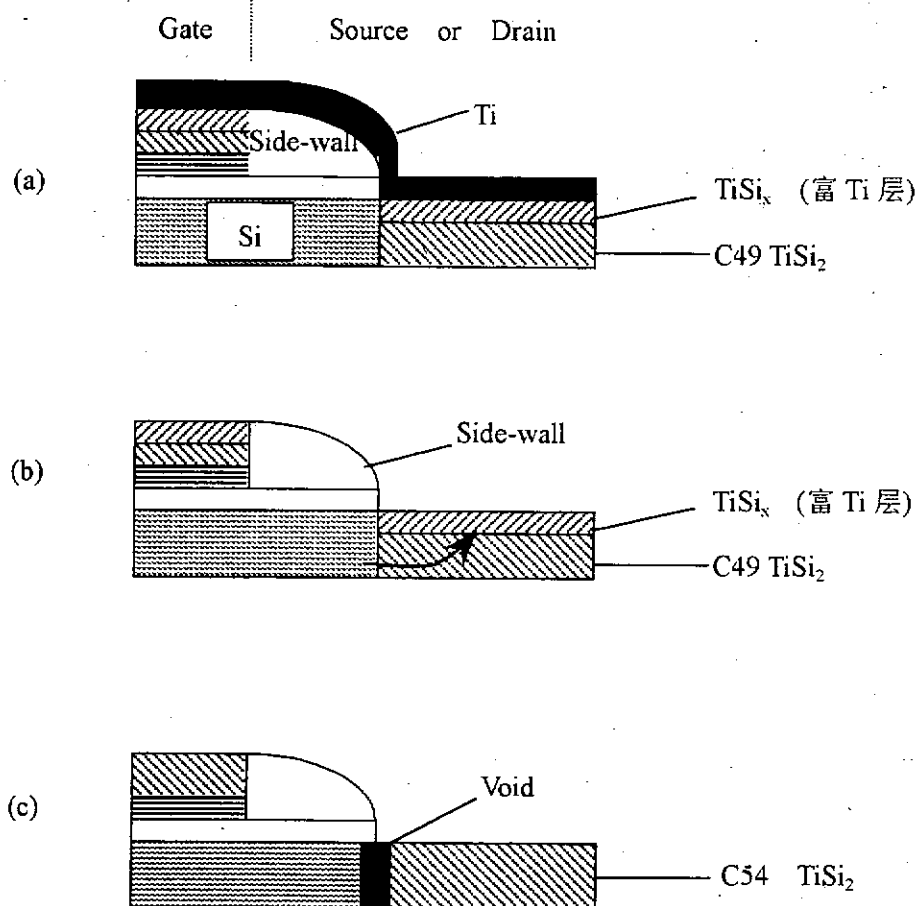


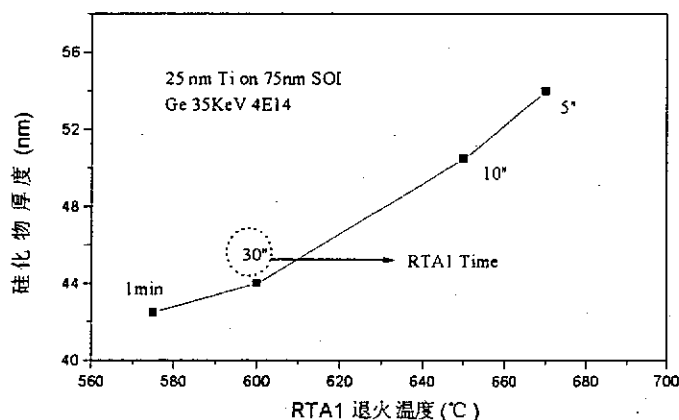
图 3.11 硅化物形成过程 (a) 第一次退火后 (b) 第二次退火时
(c) 第二次退火后

从上面的分析可知，硅化物形成的关键在于其深度的控制，常规的硅化物过程并不适合于 TFD SOI 器件制造工艺中。注 Ge 的预非晶化多晶硅(或硅)形成硅化物工艺^[36-39]能很好的解决深度控制问题。之所以选用 Ge 注入，主要基于三点考虑：①与 Si 相比，只需要小剂量的 Ge 就能使多晶硅膜非晶化，并且 SiGe 与金属有较低的接触电阻；②Ge 是中性的适合于 P, N 型 MOSFET；③SiGe 可以通过带隙设计，减小动态浮体效应。主要工序如下：

- S/D 注入退火
- 侧墙形成，90nm

- Ge 注入, 40keV, $3E14\text{cm}^{-2}$
- Ti 淀积, 25nm
- 第一次热处理(RTP, 475°C, 3-4min)
- 选择性刻蚀(S. E.)
- 第二次热处理(RTP, 750-800°C, 1min)

Ge 的注入, 使 Si 非晶化, 减小了硅化物的形成能量, 通过控制清晰的非晶/单晶界面来控制硅化物的厚度。第一次处理温度的选取不能太高, 以免 Ti 与下面的单晶或多晶硅反应。当温度适当时, Ti 仅与非晶硅反应, 这样, 硅化物的厚度由非晶层的厚度来控制, 而不是 Ti 的厚度来控制, 避免出现空位。并且第一次 RTP 过程存在一临界时间, 小于此时间, Ti 与非晶硅没有反应完全, 则得不到所需的硅化物厚度。图 3.12 给出了硅化物厚度与第一次退火时间之间的关系。未参与反应的 Ti 被选择性刻蚀掉。第二步 RTP, 完成 TiSi_2 由 C49 $\rightarrow$ C54 的转变, 形成低的接触电阻。



3.12 硅化物厚度与第一次退火时间之间的关系

与常规的硅化物形成过程相比, 该工艺有两个明显的特点: ①处理温度比较低, 减少了掺杂剂分凝现象; ②Ge 的注入, 使 Si 非晶化, 硅化物的厚度容易控制, 同时减少了空位的数量。空位的产生是由于 TiSi_x 向 TiSi_2 转化的过程中, Si 的横向扩散造成的, 如果在第二步 RTP 之前注入适量的 Si, 使沟道区的 Si 不再横向扩散, 这样就能避免空位的产生。当然, Si 的注入剂量选择又成为一个新问题。为了更好的抑制掺杂剂效应, 可以采用 Ti/undoped Si 结构。undoped Si 的淀