

积在低温(660℃)进行, 当满足一定条件时(Si_2H_2 的流速 $\geq 1\text{sccm}$), 在多晶硅和衬底上淀积的硅厚度相同, 并且能使 n 和 p 管上的硅化物厚度相等。

图 3.13 给出了第一次退火时间和方块电阻的关系。从图中可以看出, 退火时间有一个阈值, 超过这个阈值, 方块电阻基本不变。

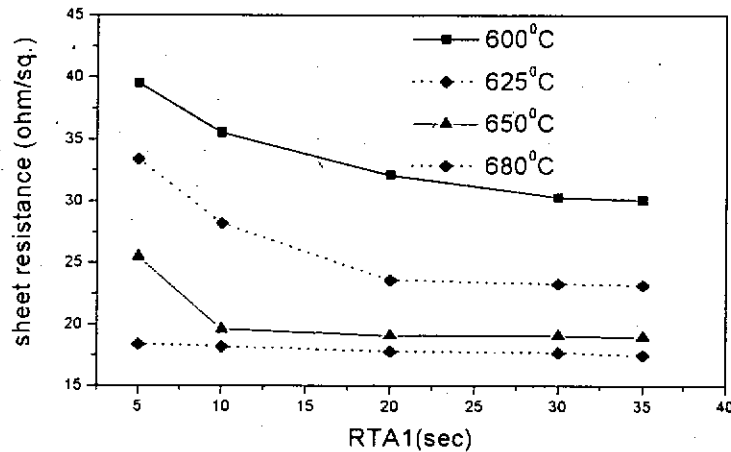


图 3.13 方块电阻与第一次退火时间的关系

图 3.14 给出了溅射 Ti 膜的厚度与方块电阻的关系。由图可以看出, 经过第二次退火后, 方块电阻基本上没有什么变化。因此, 采用注 Ge 预非晶化工艺, 硅化物的方块电阻对 Ti 膜的厚度不敏感。

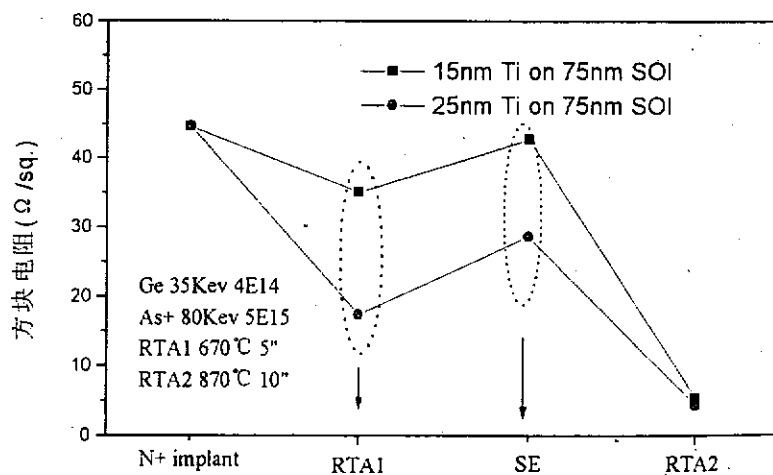


图 3.14 Ti 膜厚度与方阻的关系

图 3.15、3.16 分别给出了在硅化物形成的不同阶段, 注 BF_2 、注

注 Ge 时能形成清晰的界面，而不注 Ge 时，其界面比较粗糙。

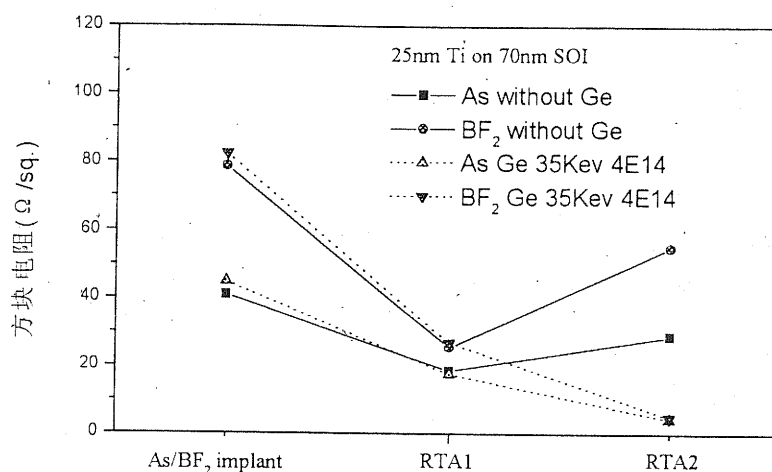


图 3.17 注 Ge 和不注 Ge 时硅化物方块电阻

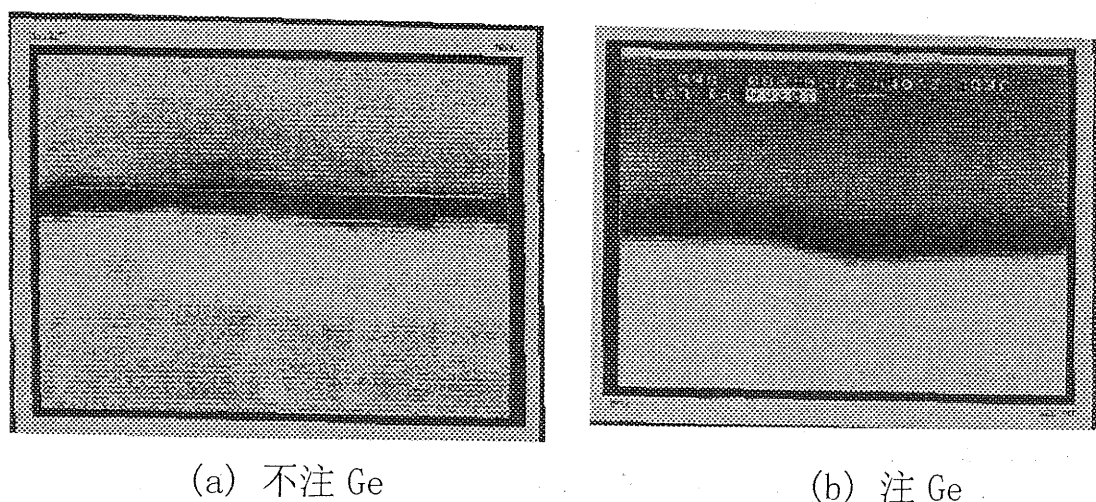


图 3.18 硅化物与硅衬底界面

3.5 亚微米薄层 SOI 工艺流程

0.8μm 全耗尽 CMOS/SOI 器件和电路在中科院微电子中心第一研究室进行工艺投片，光刻机为 ASM-5000，刻蚀采用 Lam 公司亚微米刻蚀机。硅片采用美国 IBIS 公司的 4 英寸 SIMOX 基片，其中 T_{BOX} : 3826Å, T_{Si} : 1986Å, 衬底: P<100>. 具体工艺流程如表 3.3 所示。

As 的样品的方块电阻。

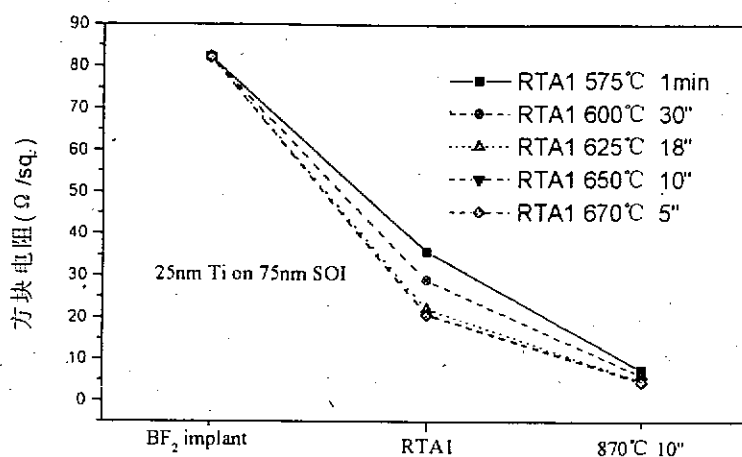


图 3.15 硅化物形成的不同阶段，
注 BF₂ 样品的方块电阻

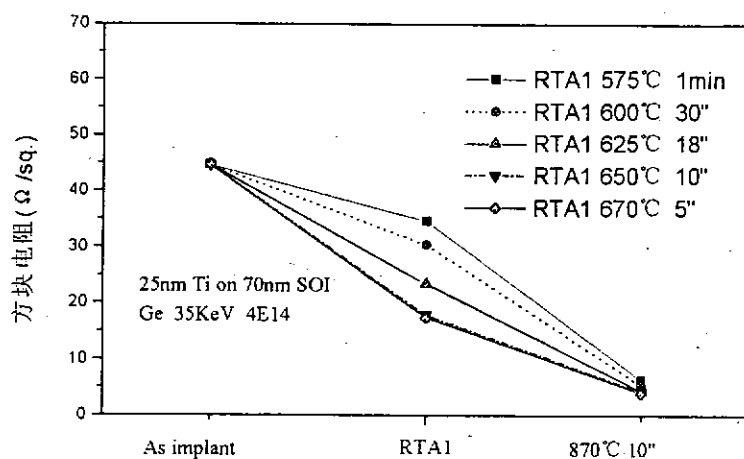


图 3.16 硅化物形成的不同阶段，
注 As 样品的方块电阻

图 3.17 给出了注 Ge 和不注 Ge 时硅化物方块电阻的比较，从图中可以看出，注 Ge 预非晶化技术能使 SOI 材料硅化物的方块电阻降低了很多，而不注 Ge 的样品经过第二次退火后，方阻依然较大。图 3.18 为注 Ge 和不注 Ge 时硅化物与硅衬底界面出的比较，由图可以得到，

表 3.3 薄膜 SOI CMOS 工艺流程

序号	工艺步骤	工艺要求及条件
1	原始硅片	SIMOX 硅片, 1986Å
2	SOI 硅层减薄	干氧, 1000°C, 30'; 湿氧, 1000°C, 24'; 干氧, 1000°C, 30'; 在高温液中剥离 SiO_2 至缩水
3	PBLOCOS 隔离	干氧, 1000°C, 5'; 湿氧, 1000°C, 48'; 干氧, 1000°C, 30'; 退火, 1000°C, N_2 , 15'
4	NMOS 管硅岛边缘注入	B^+ , 30KeV, $3\text{E}13 / \text{cm}^2$
5	PMOS 管沟道注入	P^+ , 80KeV, $1\text{E}11 / \text{cm}^2$
6	NMOS 管沟道注入	B^+ , 60KeV, $2\text{E}12 / \text{cm}^2$; BF_2 , 100KeV, $1\text{E}11 / \text{cm}^2$
7	栅氧	850°C, 120Å
8	多晶硅淀积	650°C, 3500Å
9	P^+ 多晶注入	B^+ , 30KeV, $1\text{E}16 / \text{cm}^2$
10	N^+ 多晶注入	P^+ , 70KeV, $5\text{E}15 / \text{cm}^2$
11	多晶硅刻蚀	
12	淀积 TEOS	3300Å, 刻侧墙, 形成 LDD 结构
13	NMOS 管源漏注入	As^+ , 80KeV, $2\text{E}15 / \text{cm}^2$
14	PMOS 管源漏注入	BF_2^+ , 40KeV, $1\text{E}15 / \text{cm}^2$
15	RTA	1000°C, 5"
16	注 Ge	Ge^+ , 30KeV, $3\text{E}14 / \text{cm}^2$
17	溅射 Ti	250Å, 硅化物第一次退火, 680°C
18	选择性腐蚀	12' + 4' + 4'
19	硅化物第二次退火	870°C
20	BPSG 淀积及回流	
21	溅铝	Ti 400Å + TiN 700Å + AlSi 6000Å + TiN 400Å
22	刻铝及合金	

3.6 本章小结

本章详细介绍了全耗尽 SOI CMOS 关键工艺。PBLOCOS 隔离工艺的优化参数为：200nm Si_3N_4 /50nm 非晶硅 / 15nm 氧化硅，鸟嘴小于 $0.2\mu\text{m}$ ，栅介质的绝缘强度为 8.4MV/cm 。沟道掺杂采用深浅两次注入。一次注入为低能量、小剂量注入，主要用于沟道表面掺杂，调节阈值大小；二次注入为大能量、中剂量注入，主要用于抑制沟道穿通和背栅效应，提高器件击穿电压和亚阈值特性。双多晶硅栅结构的采用，有以下几个优点：较低的沟道掺杂，阈值电压容易控制，源漏击穿得到改善。氮化的氢氧合成栅介质，能有效地提高击穿特性和抑制热载流子效应，改善硼穿透现象，又能提高器件的抗辐照能力。注 Ge 硅化物技术的采用，既得到了较低的源漏方块电阻，又解决了 SOI 器件在形成硅化物时横向吃硅的问题，是一种非常理想的技术。

第四章 全耗尽 CMOS/SOI 器件与电路的设计

为满足航天事业极国防现代化建设对高速度、低功耗、高可靠、抗辐射电路的要求,在以上工艺研究的基础上开展了实验电路的设计开发工作。设计了条形栅、环形栅等不同结构的器件,以便比较和优选出适合航天需要的器件结构。为研究 SOI CMOS 集成电路的速度特性,探索提高电路工作速度的有效途径,设计了沟道长度、器件宽长比等参数不同的环振电路。

4.1 版图设计规则

版图设计规则是准备集成电路生产所需的光掩模版的依据。这些规则为电路的设计者和工艺工程师提供了一个十分必要的沟通渠道。通常,设计规则将在集成电路性能和生产成品率之间进行折衷。保守的设计规则可以较为容易地获得电路性能,但苛刻的规则能够使电路的性能得到改进,而这种改进有以成品率的降低为代价。我们在现有的工艺条件下,针对航天用集成电路的特殊要求,给出了 1.2 μm 、0.8 μm 的设计规则。

表 4.1 SOI 版图设计规则

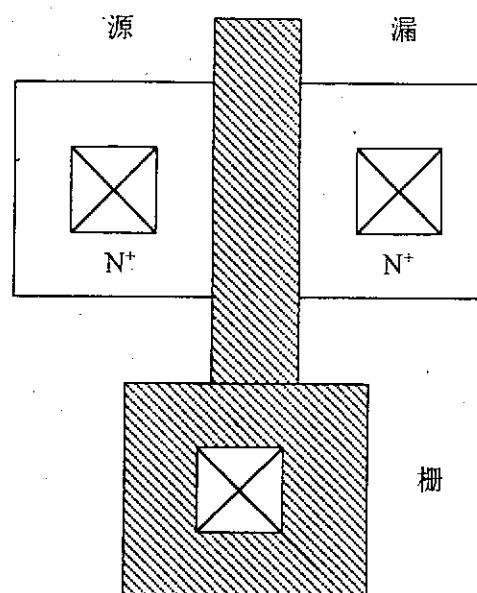
序号	层次	1.2 μm 规则(μm)	0.8 μm 规则(μm)
1	硅岛(有源区及衬底引出区)		
	最小宽度	1.2	0.8
	最小间距	1.8	1.2
2	P ⁺ 源漏注入(P ⁺ 源漏注入)		
	P ⁺ 与岛区套刻放大	1.2	0.8
	P ⁺ 与多晶套刻放大	1.2	0.8
	P ⁺ 与N ⁺ 套刻放大	0	0
3	N ⁺ 源漏注入(N ⁺ 源漏注入)		
	N ⁺ 与岛区套刻放大	1.2	0.8
	N ⁺ 与多晶套刻放大	1.2	0.8
4	多晶硅		
	最小宽度	1.2	0.8
	最小间距	1.2	1.0
	多晶到无关的硅岛间距	0.4	0.2
	多晶伸出岛区	1.2	0.8

序号	层次	1.2 μm 规则(μm)	0.8 μm 规则(μm)
5	接触孔		
	尺寸	1.2 $\times$ 1.2	0.8 $\times$ 0.8
	间距	1.2	0.8
	扩散区孔到多晶栅的间距	1.2	0.8
	多晶孔到相邻有源区的间距	1.2	0.8
	有源区包孔	0.8	0.6
	多晶硅包孔	0.8	0.6
6	一次铝		
	最小宽度	1.8	1.6
	最小间距		
	铝的宽度大于 10 μm	1.5	1.5
	铝的宽度小于 10 μm	1.2	1.2
	铝包孔	0.8	0.6
7	通孔		
	尺寸	1.2 $\times$ 1.2	1.0 $\times$ 1.0
	间距	1.2	1.0
	一次铝包通孔	0.7	0.6
8	二次铝		
	最小宽度	1.6	1.5
	最小间距		
	铝的宽度大于 10 μm	1.8	1.8
	铝的宽度小于 10 μm	1.2	1.2
	二次铝包通孔	1.2	1.0
9	压点		
	尺寸	80	80
	间距	80	80

4.2 SOI MOSFET 器件结构设计

绝缘衬底的存在为 SOIMOSFET 器件结构的设计提供了十分广阔的空间。可根据不同的场合, 采取不同的器件结构。普通条形栅结构是实现集成度最高又最为常见的器件结构, 如图 4.1 所示, 它是由一个矩形硅岛、一个横跨其上的条形栅和数个欧姆接触孔构成的 N 沟

道器件。



4.1 SOI MOSFET 的普通条形栅结构

考虑到器件用于电离辐射环境时，会在硅岛边缘的氧化层中产生大量的氧化物电荷而引起硅岛边缘漏电问题，我们在版图上设计了无边缘的环形栅结构，如图 4.2 所示，在这种器件结构中，源结和漏结间的栅极下面的硅岛是无边缘的，彻底消除了边缘漏电机理。但是，与普通条形栅器件相比，环形栅器件占用了较大的有效硅片面积。

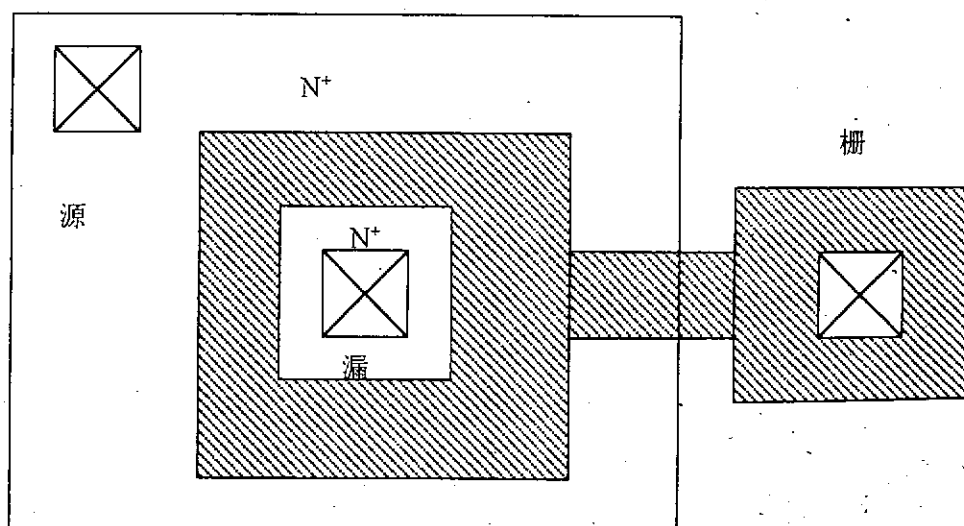
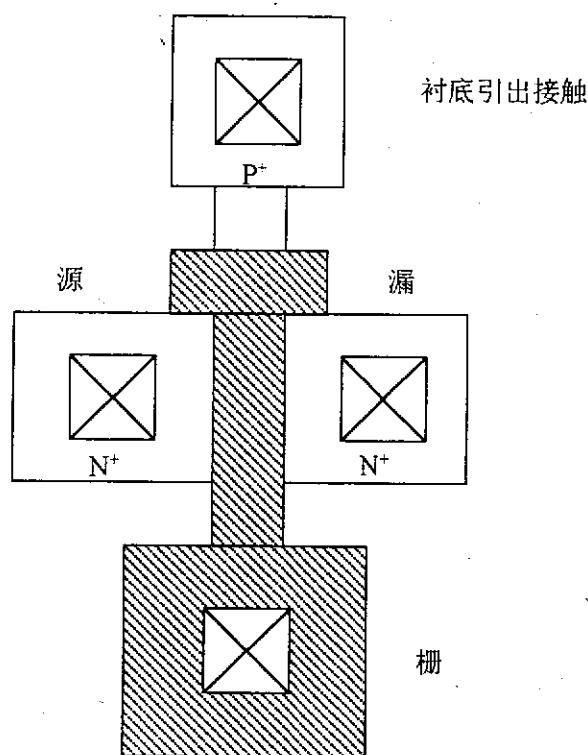


图 4.2 SOI MOSFET 的无边缘环形栅结构

部分耗尽 SOI MOS 器件由于浮空衬底的存在, 会出现器件输出曲线向上翘曲的现象。为有效地抑制翘曲效应, 就要求将栅极下面的硅区引出。但对于全耗尽 SOI MOS 器件来说, 就不存在翘曲效应。为了使这两类器件能做一个比较, 在版图设计中, 我们还是设计了有衬底引出的四端器件。对于普通条形栅器件, 其引出结构如图 4.3 所示, P^+ 掺杂区与栅下面的 P 型硅衬底相连。



4.3 具有体引出端的条形栅器件

4.3 SOI CMOS 环振电路的设计

为了深入研究 SOI CMOS 电路的高速特性, 在器件结构设计的基础上, 设计了一系列环形振荡器电路。环振电路是由基数个反相器首尾相连而组成的闭合反相器链。由环振电路给出的每级门的延迟时间, 能够准确地反映电路的速度特性。为了使电路充分振荡, 我们设计了 101 的环振。鉴于影响环振电路速度的诸多因素, 通过改变器件结构参数和电路参数, 设计了数组环振电路, 以期揭示环振电路的工作机理, 并通过器件和电路的优化设计, 最大限度地发挥 SOI CMOS 集成电路的高速特性。

4.4 本章小结

本章针对航天集成电路的特殊要求,在现有的工艺条件下,给出了 $1.2\mu\text{m}$ 、 $0.8\mu\text{m}$ 的设计规则,这为我们设计实验用的 CMOS SOI 器件和电路提供了依据。介绍了几种常用的器件结构设计,其中包括普通条形栅结构、环形栅结构、衬底接地的条形栅结构等。普通条形栅结构实现集成度最高但边缘漏电比较大。环形栅器件彻底消除了边缘漏电机理,但是,与普通条形栅器件相比,占用了较大的有效硅片面积。衬底接地的条形栅结构主要是为了解决部分耗尽器件出现的 Kink 效应。我们可以根据不同的场合,采用不同的器件结构。设计了数组环振电路,以期揭示环振电路的工作机理,并通过器件和电路的优化设计,最大限度地发挥 SOI CMOS 集成电路的高速特性。

第五章 结果与分析

采用全耗尽 SOI 工艺流程, 我们成功研制出 $0.8\mu\text{m}$ SOI 器件和电路, 其中电路包括 D 型触发器、101 级环振和简单的与非门等。本章对全耗尽 SOI 器件和电路的性能进行了分析和讨论。

5.1 SOI MOS 器件的电学特性

利用 HP 4145A 精密半导体参数测试仪, 对自行设计和制造的各种结构的 SOI MOS 器件进行了测量, 并分别对器件的阈值电压特性、源漏击穿电压、电流电压、亚阈值漏电进行了分析和讨论。图 5.1 给出了 $0.8\mu\text{m}$ SOI 器件的 SEM 照片。

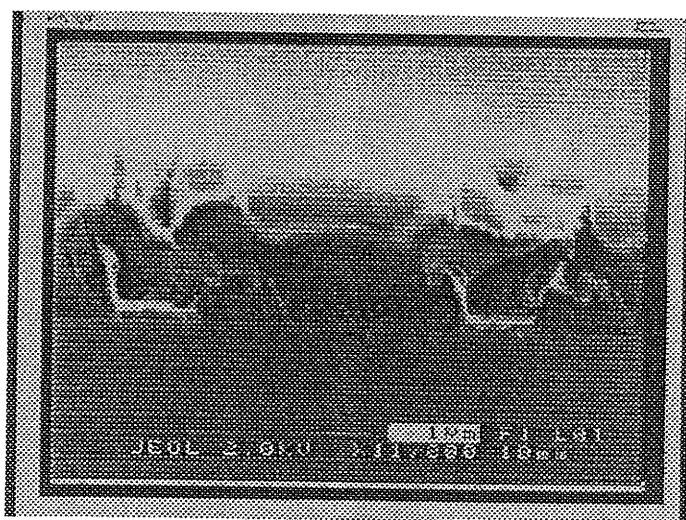
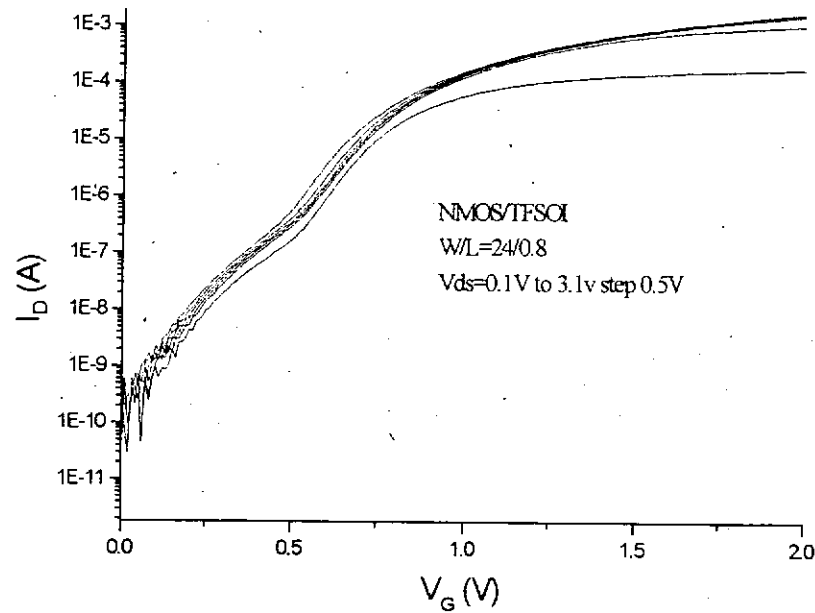


图 5.1 $0.8\mu\text{m}$ 全耗尽 SOI 器件 SEM 照片

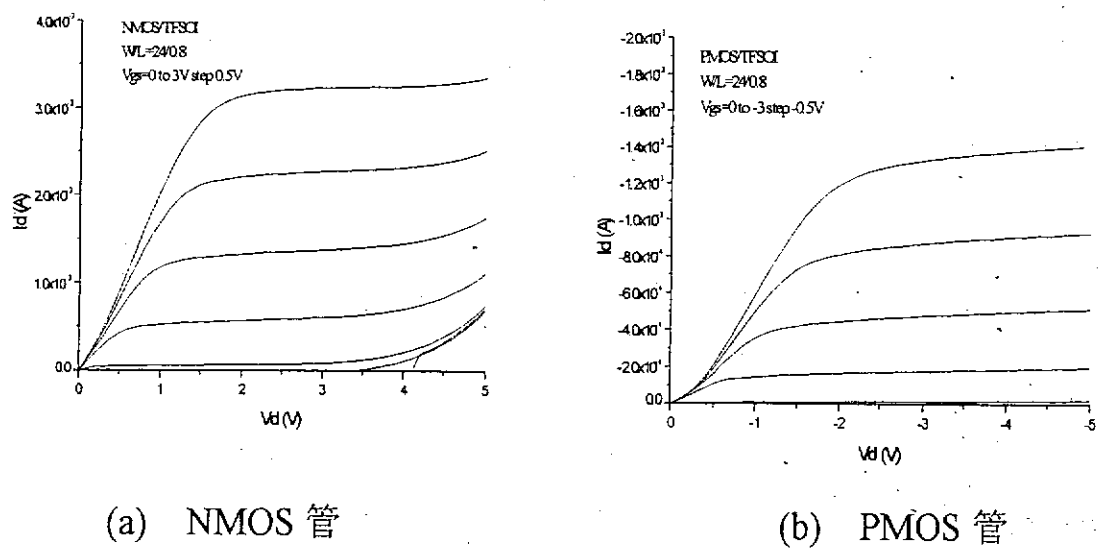
5.1.1 阈值电压特性

测量阈值电压时, 我们采用如下的测量方法来确定器件的阈值电压: 即给定 $V_{\text{DS}}=0.1\text{V}$, 改变栅极电压 V_{GS} , 当 $I_{\text{DS}}=(W/L)\cdot 0.1\mu\text{A}$ 时的栅压 V_{GS} 即为该器件的阈值电压 V_{T} 。图 5.2 给出了 $0.8\mu\text{m}$ SOI MOS 器件漏端电流 I_{DS} 随栅极电压 V_{GS} 的转移特性曲线。从图中可以得到, NMOS 管的阈值电压为 0.7V , PMOS 管的阈值电压为 -0.8V 。图中给出了 V_{DS} 从 0.1V 变化到 3V 的一组曲线, 曲线基本上没发生什么变化, 这说明器件工作在全耗尽状态, 体效应已经变得很弱。

图 5.2 0.8 μm SOI 器件转移特性曲线

5.1.2 电流电压特性

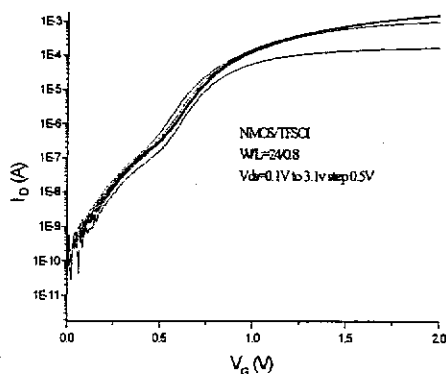
图 5.2 给出了 0.8 μm N 沟道和 P 沟道 SOI MOS 器件的 I_D - V_D 特性曲线。在图中没有观测到“kink”效应，这进一步说明器件处于全耗尽状态。

图 5.3 0.8 μm 全耗尽 SOI 器件输出特性曲线

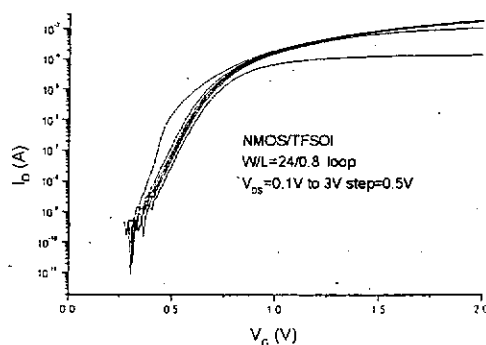
5.1.3 亚阈值漏电特性

亚阈值漏电电流是影响 SOI 器件和电路性能的一个关键因素。高泄露电对 CMOS 电路危害很大,它不仅使电路的静态功耗增加,速度降低,有时还可能引起小尺寸电路逻辑功能的失效,对于线性电路,还会使电路的精度及增益下降。SOI MOS 器件除了存在与体硅 MOS 相似的反向 PN 结漏电机制外,还存在背沟道漏电和硅岛边缘漏电。背沟道漏电主要是由硅与绝缘衬底界面的高电荷密度引起的。硅岛边缘漏电是由多晶硅边缘寄生的低阈值电压 MOS 晶体管引起的。硅层晶向、表面掺杂浓度、栅氧化层厚度、界面态密度等因素使得边缘寄生晶体管的阈值电压低于顶部晶体管的阈值电压,从而引起较大的泄露电流。

为了消除或抑制 SOI MOS 器件的漏电,我们在器件结构设计及工艺等方面采取了一些措施。为了抑制 SOI MOS 器件的背沟道漏电,在沟道区掺杂时,采用了深浅两次离子注入的方法,即一次浅注入用以调整器件的阈值电压,一次高能量,大剂量的深注入,用以提高硅/二氧化硅界面附近的杂质浓度。在器件结构方面,采用了环形栅等无边缘器件结构。图 5.4 给出的无边缘器件和有边缘器件的 I_D - V_G 曲线对比,可以清楚地看到,有边缘器件在亚阈值区域的漏电情况。



(a) 有边缘器件



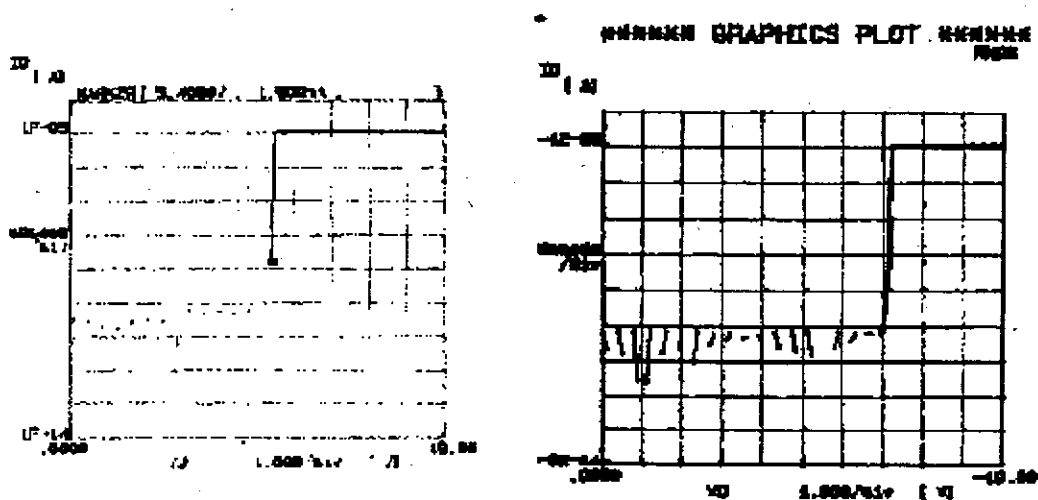
(b) 无边缘器件

图 5.4 不同器件结构转移特性曲线

5.1.4 源漏击穿特性

SOI MOS 器件的击穿机制主要有雪崩击穿和源漏穿通两种。对于长沟道器件,源漏击穿一般以雪崩击穿为主,雪崩击穿电压由临界雪崩电场决定。但对于短沟道器件,特别是沟道长度小于 $1\mu\text{m}$ 的亚微米器件,源漏穿通效应则成为主要矛盾。当沟道很短时,随着源漏电压

V_{DS} 的增加, 源端和漏端的 PN 结耗尽区的宽度增加, 使得器件的有效沟道长度 L_{eff} 减小。当 L_{eff} 接近 0, 源区的多数载流子注入到耗尽的沟道区时, 立即被水平方向的强电场收集到漏区, 这样, 源漏电流不再受栅极电压的控制, 从而引起源漏击穿。图 5.5 给出了 $0.8\mu\text{m}$ N 沟道和 P 沟道 SOI MOS 器件源漏击穿特性曲线。



(a) NMOS 管

(b) PMOS 管

图 5.5 $0.8\mu\text{m}$ SOI MOS 器件源漏击穿特性曲线

5.1.5 沟道长度对器件性能的影响

● 沟道长度对阈值电压的影响

MOSFET 沟道长度的减小将引起一些不良的效应, 其中常常引起大家注意的是短沟道效应, 它主要指阈值电压随沟道长度的减小而降低。图 5.6 给出了全耗尽 SOI MOS 器件阈值电压随沟道长度的关系图。从图中可以看到, 随着沟道长度的减小, 阈值电压没有明显的变化, 这说明 SOI MOS 器件能很好地抑制短沟道效应。

● 沟道长度对源漏击穿电压的影响

图 5.7 为实测的 FD SOI MOS 器件击穿电压与沟道长度的关系曲线, 图中两条曲线分别对应 NMOS 管和 PMOS 管。从图中可以看出:

- 随着器件沟道长度的减小, NMOS 管、PMOS 管的击穿电压都随之下降;
- PMOS 管的击穿电压比 NMOS 管的击穿电压高。

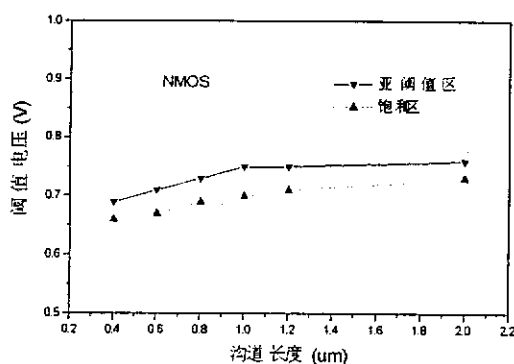
我们知道, 由于 SOI 器件存在一基极开路的寄生双极晶体管, 根据双极晶体管理论, 基极开路的击穿电压 BV_{CEO} 比基极接地的击穿电

压 BV_{CBO} 要低^[40]。它们之间具有如下关系： $BV_{CEO} = \frac{BV_{CBO}}{\sqrt[n]{\beta}}$ ， β 是双极晶

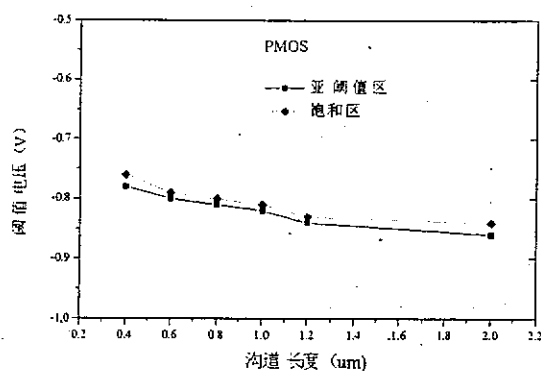
体管的电流增益， n 一般在 3~6 之间。又根据双极晶体管理论， $\beta \cong 2(L_n/L)^2 - 1$ ，而 $L_n^2 = D_n \tau_n$ ， $D_n = (kT/q)\mu_n$ ，式中 L_n 为少子扩散长度， D_n 为少子扩散系数， τ_n 为少子寿命； μ_n 为少子迁移率。因此有

$$BV_{CEO} = \frac{BV_{CBO}}{\sqrt[n]{2(kT/q)\mu_n\tau_n/L^2} - 1} \quad (5.1)$$

由此式可知，随着沟道长度的减小，器件的击穿电压降低；由于 NMOS 管的少子迁移率 μ_n 要比 PMOS 管的少子迁移率 μ_p 高，所以在 BV_{CEO} 相同的情况下，相同尺寸的 PMOS 管的击穿电压比 NMOS 的大。在全耗尽器件中，虽然观察不到“kink”效应，但硅体内可以积累因碰撞电离产生的过剩电荷，这预示着在全耗尽器件中还会发生寄生双极晶体管效应，因此它的源漏击穿电压也是由共发射极晶体管的击穿电压 BV_{CEO} 来决定。



(a) NMOS 管



(b) PMOS 管

图 5.6 阈值电压与沟道长度的关系

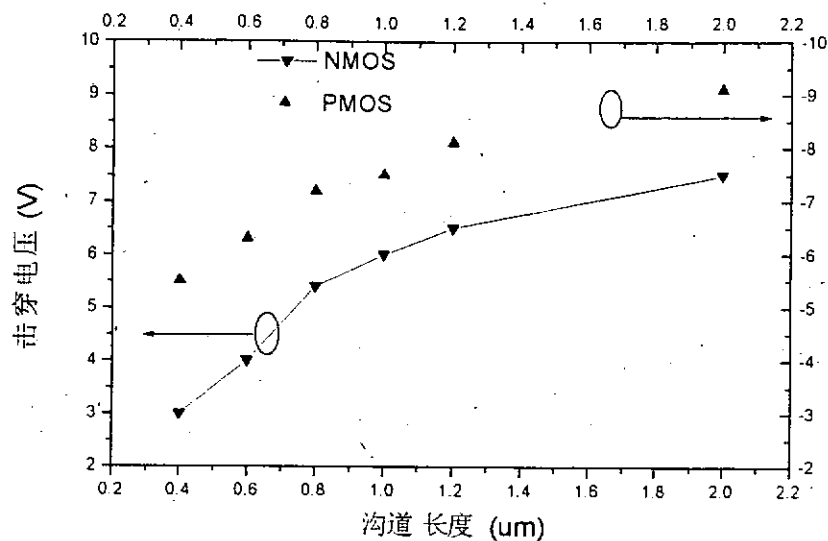


图 5.7 沟道长度与击穿电压的关系

5.1.6 背栅效应对器件性能的影响

SOI MOSFET 具有独特的结构, 它不仅有通常体硅的栅氧化层, 而且在硅体中还有一个埋氧化层, 我们称它们一个为前栅, 另一个为背栅, 我们将在这里研究背栅对器件性能的影响。

● 背栅压对阈值电压的影响

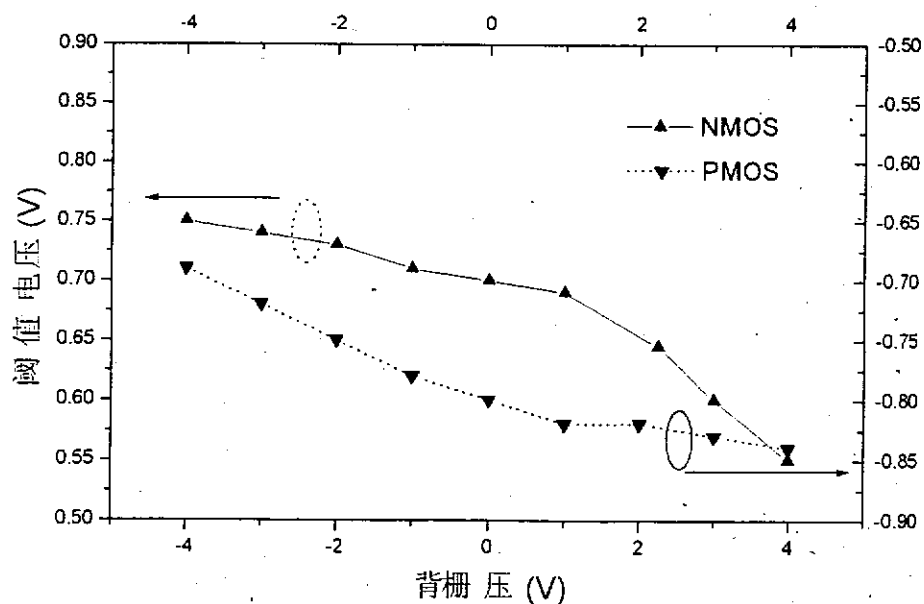


图 5.8 阈值电压对背栅压的依赖关系

图 5.8 给出了阈值电压对背栅压的依赖关系,从图中可以看出,当背沟道处于积累状态时,正面开启电压为一常数,而当背沟道处于耗尽状态时,正面阈值电压与背栅压成线性关系。

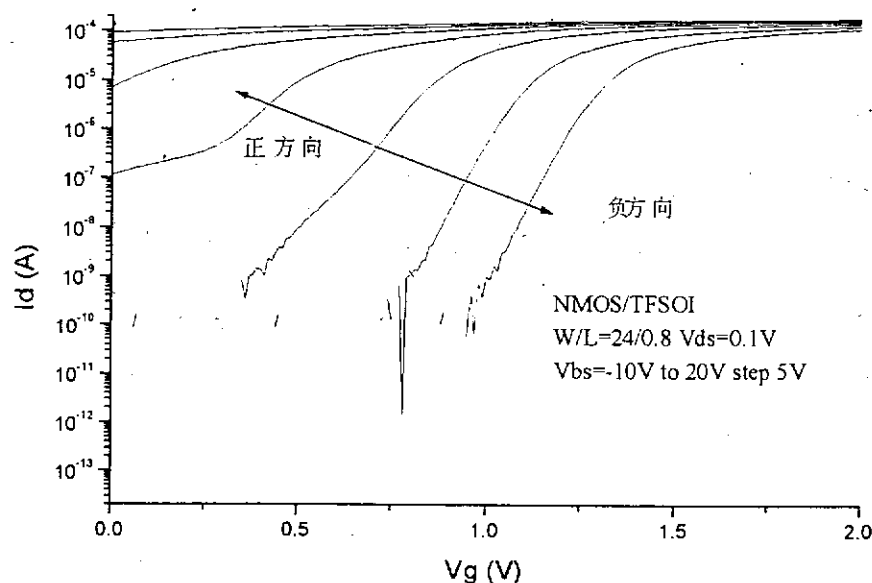
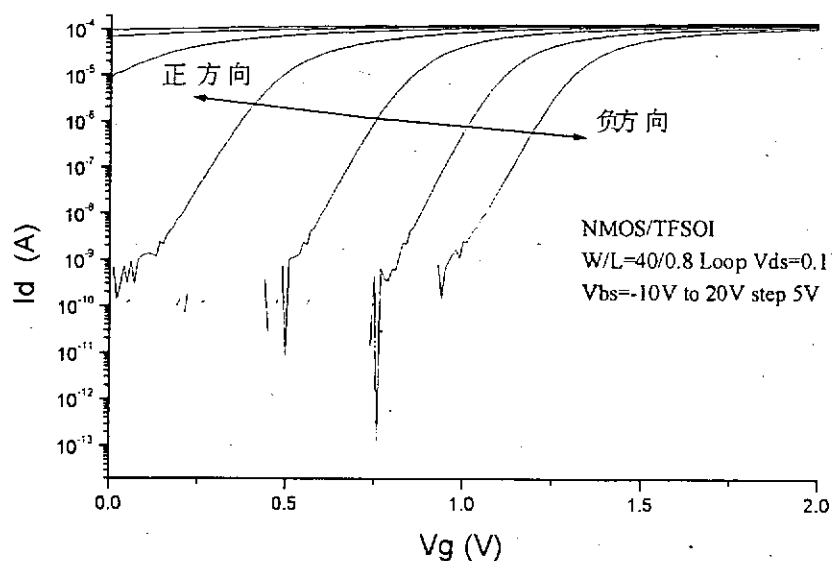


图 5.9 不同背栅压条件下 SOI NMOS 的 $I_D(V_G)$ 特性 (条形栅)



5.10 不同背栅压条件下 SOI NMOS 的 $I_D(V_G)$ 特性 (环形栅)

图 5.9 给出了条形栅结构的 SOI NMOS 器件在不同背栅压条件下的 $I_D(V_G)$ 关系曲线。在图的左面部分, 背界面处于反型状态, 所以尽管正面栅压是零, 器件中仍有电流流动。随着背栅压的增加, 曲线明显向左偏移, 实际上是由于背面沟道电流的增加而引起的曲线向上移动。在图的右边, 背界面处于积累状态, 因此随背栅压进一步变负曲线并不向右偏移。另外, 当背界面处于积累状态时, 可以使漏电流明显减少。而对于环形栅结构的器件 (见图 5.10), 也能够很好地抑制漏电。

● 背栅压对击穿特性的影响

图 5.11 为击穿特性随背栅压变化的关系。由图可以看到, 当背界面处于积累状态时, 击穿电压基本不变; 当背界面处于反型状态时, 由于增加了源漏之间的漏电通道, 击穿电压随背栅压的增大而减小。

● 背栅压对亚阈值特性的影响

图 5.12 是在不同漏压下背栅压对 SOI NMOS 器件亚阈值的影响。从图中可以看到, 在较低漏压下, 背栅压从 0V 向正方向变化时, 薄膜 SOI 器件的亚阈值变大, 背栅压向负方向变化时, 器件的亚阈值斜率也变大。这是因为在较大的背栅压下, SOI 器件的背界面处于积累状态, 而 SOI 器件在背面处于积累状态的亚阈值斜率要比背界面处于耗尽状态下的大。而在较大的正背栅压下, 器件的背界面接近反型, 此时的亚阈值电流主要是背界面的电流, 此外边缘电流的影响也增加, 这些都使得器件的亚阈值性能变差; 在较高的漏压下, 器件的亚阈值随背栅压的增加而单调上升, 当背栅压在 -5V 以下, 器件的亚阈值斜率小于 60mV/dec 这个室温下的最小理论值。这是由于在加大的负背栅压下, 器件的背面处于积累状态, 因此, 亚阈值电流在高漏压的作用下发生电离, 所产生的空穴使体电位增加导致器件阈值电压的减小, 所以亚阈值电流从具有高阈值电压的 $I_D(V_G)$ 电流特性曲线跳到具有低阈值电压的 $I_D(V_G)$ 电流特性曲线, 因而在室温下得到了小于 60mV/dec 的亚阈值斜率。

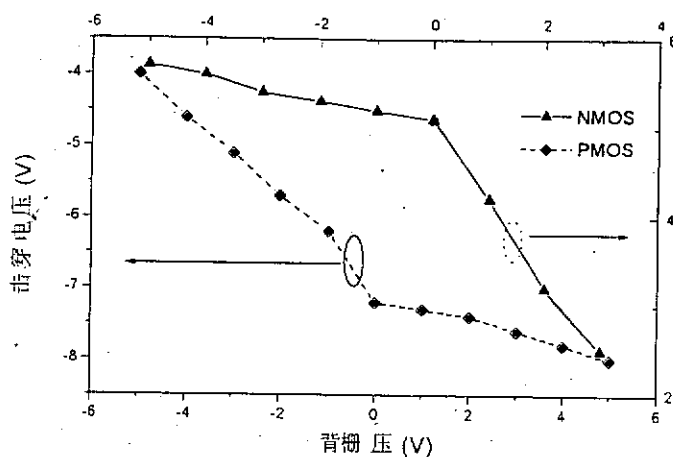


图 5.11 击穿电压与背栅压的关系

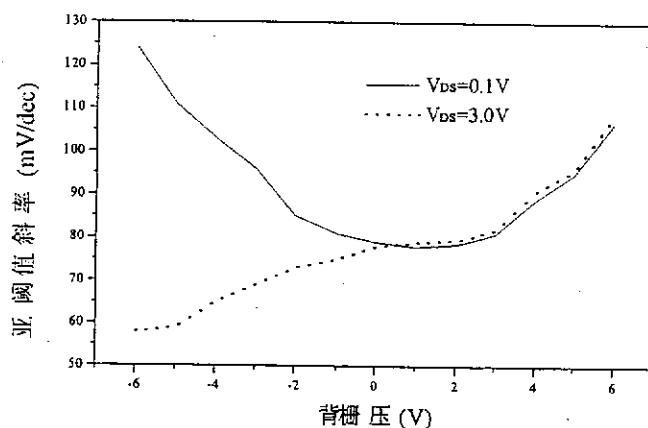
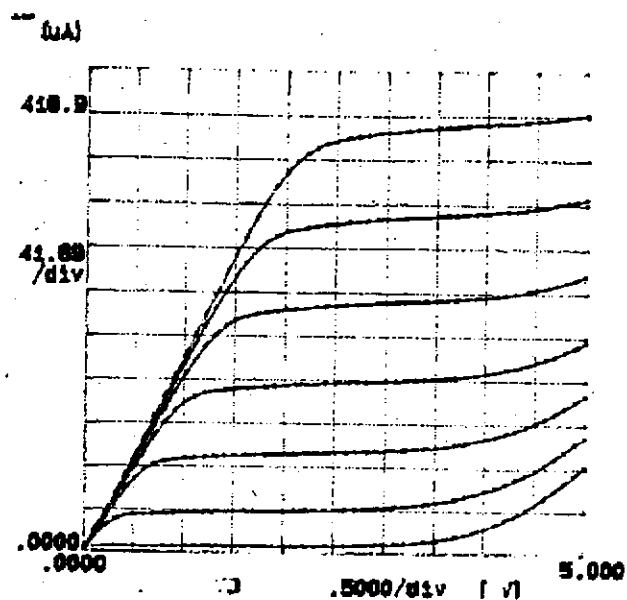


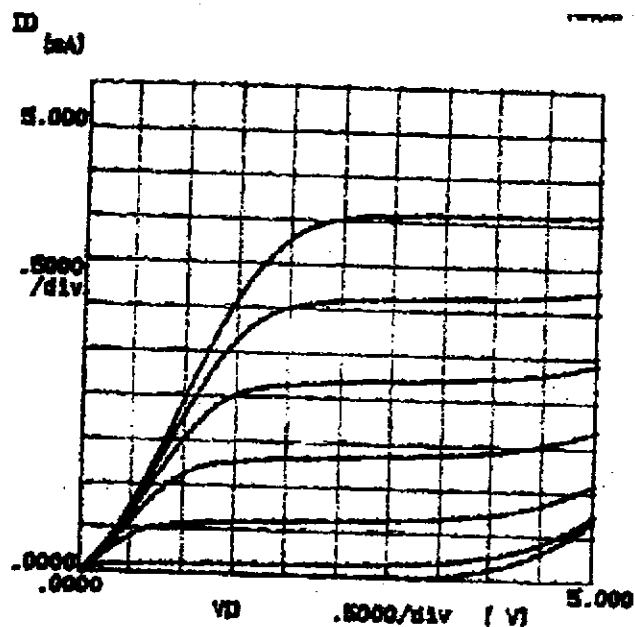
图 5.12 亚阈值斜率与背栅压的关系

5.1.7 硅化物技术对器件输出特性的影响

在薄膜 SOI 技术中, 源和漏区的方块电阻可以达到很高的值, 这会导致器件的驱动能力下降。图 5.13 为不采用硅化物技术以及采用注 Ge 硅化物技术时 NMOS 管的电流电压特性曲线。由图可以看到, 在 3V 工作时, 前者的饱和电流仅为 $410\mu\text{A}$, 而后的饱和电流则达到 4.1mA 。



(a) 不采用硅化物



(b) 采用注 Ge 硅化物技术

3 NMOS 管输出特性曲线

5.1.8 沟道浓度对器件工作模式的影响

在图 5.13(b)中, 没有观察到“kink”现象, 说明器件工作在全耗尽状态, 该器件的沟道注入条件为:

B^+ 60KeV $2E12$

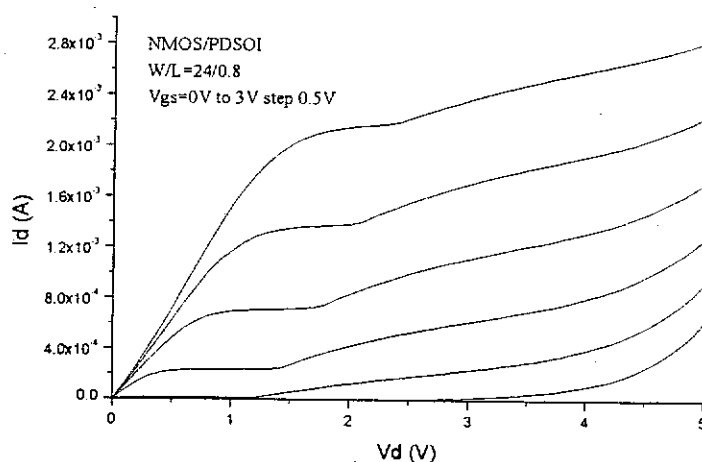
BF_2 100KeV $1E11$

但是, 对于同样的硅膜厚度, 当注入条件为

B^+ 50KeV $6E12$

BF_2 80KeV $6E12$

时, 输出曲线中观察到明显的“kink”现象(见图 5.14), 这说明器件处于部分耗尽状态。因此, 薄膜全耗尽器件并不是说硅膜很薄时, 器件就处于全耗尽状态, 还应当考虑到沟道的掺杂浓度。所以在研究全耗尽器件时, 需要同时考虑硅膜厚度和沟道掺杂浓度。



NMOS 管输出曲线

5.2 SOI 电路测试

5.2.1 CMOS/SOI 环振电路的速度特性

SOI 器件具有结电容小, 抑制短沟道效应能力强, 容易隔离及无闩锁等诸多优点。特别是 SOI 器件优良的速度特性, 使其在高速、低电压领域有着广泛的应用潜力。SOI 器件和电路的速度特性与器件结构, 设计参数以及工艺过程密切相关。为了充分发挥 SOI 器件和电路的高度性能, 我们通过研究 CMOS/SOI 环振电路的门延迟时间与器件设计和工艺的关系, 就进一步提高 SOI 器件和电路工作速度的途径进行了深入的分析和讨论。

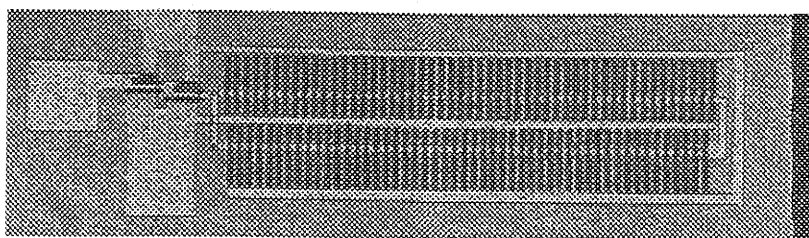
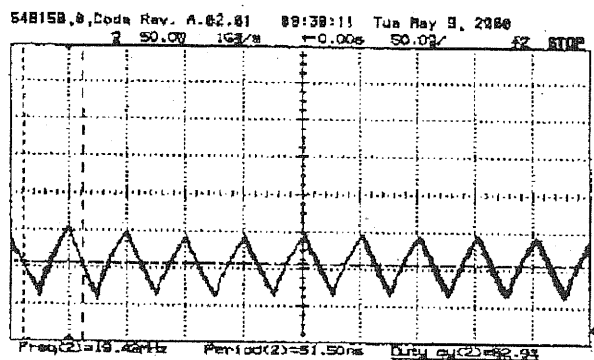


图 5.13 CMOS/SOI 环振电路的显微照片

图 5.13 给出了一个 101 级 CMOS/SOI 环振电路的显微放大照片, 该环振中器件的沟道长度为 $0.8\mu\text{m}$ 。在 1.5V 电源电压工作时, 其每级延迟为 250ps; 而在 5V 电源电压下每级延迟时间为 45ps。

通过测量 CMOS/SOI 环振电路的振荡波形, 发现环振电路的电压振荡波形受到电源电压的强烈调制。图 5.14 给出了 $0.8\mu\text{m}$, 101 级 CMOS/SOI 环振电路在不同电源电压下的一组电压振荡波形。可以看出, 在较低的电源电压下, 环振电路的输出电压基本上能在 101 级 CMOS/SOI 环振电路 V_{dd} 和 V_{ss} 之间振荡, 如图 5.14(a)所示。随着电源电压的提高, 环振的振荡频率增大, 周期变短, 振荡幅度减小, 正如图 5.14(b)和 5.14(c)所给出的那样。

(a) $V_{\text{dd}} = 1.5\text{V}$

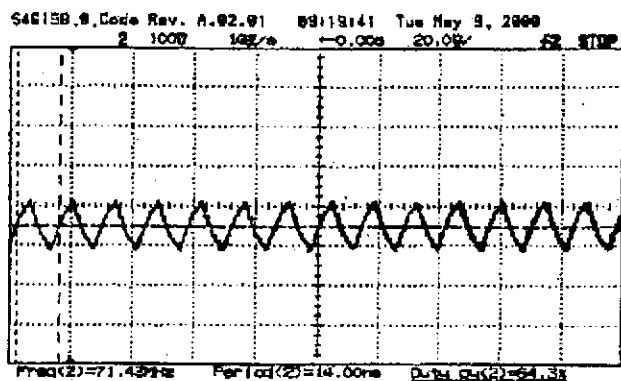
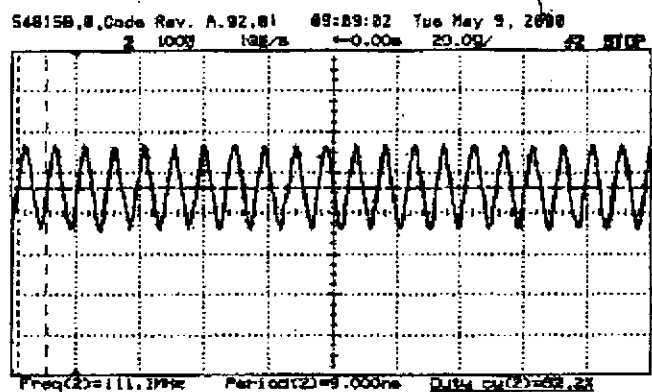
(b) $V_{dd} = 3V$ (c) $V_{dd} = 5V$

图 5.14 环振电路振荡波形随电源电压的变化

为了考察器件的沟道长度对电路工作速度的影响,设计了一组不同沟道长度的环振电路,测试结果如图 5.15 所示。可以看出,随着电源电压的提高,环振电路的延迟时间显著减少;沟道长度的减小,使环振电路的工作速度显著提高。同时,随着沟道长度的减小,环振电路的延迟时间与电源电压的依赖关系相对减弱,这就意味着随着工艺水平的提高,器件尺寸进一步缩小,即使在较低的电源电压下,仍可以得到很高的工作速度。

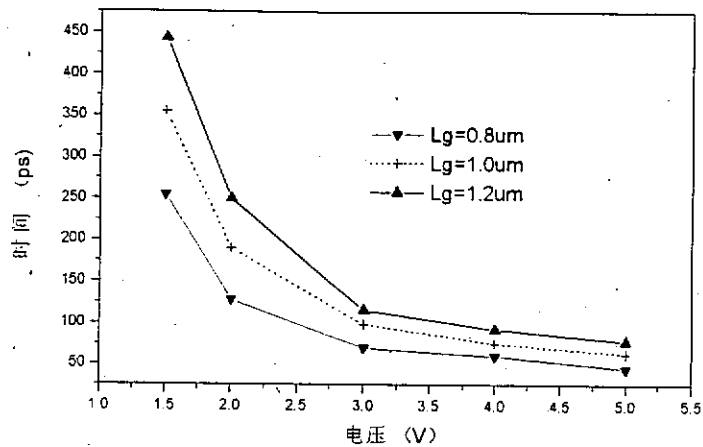


图 5.15 不同沟道长度的环振电路延迟时间随电源电压的变化情况

图 5.16 给出了 SOI 器件采用硅化物工艺以及常规工艺时环振电路的延迟时间随电源电压的变化情况。由图可以看出, 采用注 Ge 硅化物技术时, 环振速度明显要比采用常规工艺的快, 一般快 50%左右。

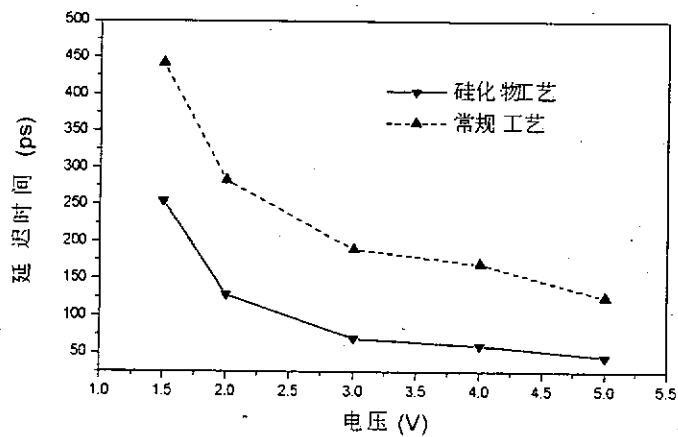


图 5.16 工艺条件对环振电路的延迟时间的影响

我们还对器件处于全耗尽状态以及部分耗尽状态时环振电路的延迟时间与电源电压的关系进行了比较, 如图 5.17, 由图可以看出, 全耗尽时环振电路的速度明显比部分耗尽时快。

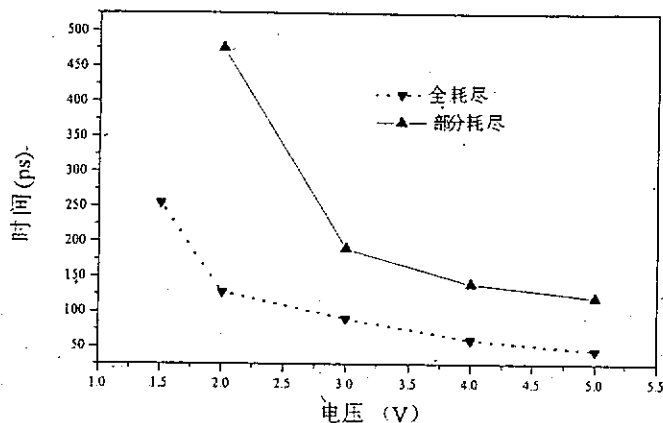


图 5.17 器件工作模式对延迟时间的影响

5.2.2 分频电路的测试

在实验版图中, 我们还设计了 D 型触发器、简单与非门、分频器等。经过测试, 这些电路功能正常, 性能良好, 图 5.18 给出了 64 分频器的波形图。

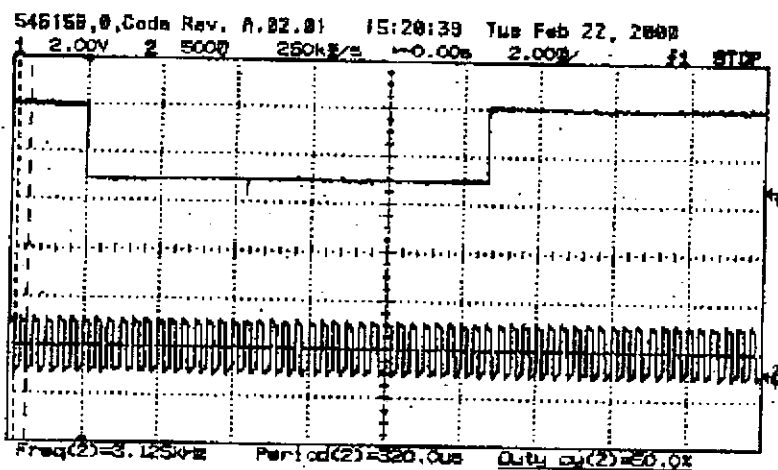


图 5.18 64 分频器波形图

5.3 本章小结

利用 HP 4145A 精密半导体参数测试仪, 对自行设计和制造的各种结构的 SOI MOS 器件进行了测量, 测量结果见表 5.1。SOI 器件能够很好地抑制短沟道效应。

随着沟道长度的减小,器件的击穿电压逐渐降低。当器件的背界面处于积累状态或者器件采用环形栅结构时,能够很好地抑制边缘漏电。采用注 Ge 硅化物技术,使器件和电路的性能得到很大的改善。 $0.8\mu\text{m}$ 全耗尽 CMOS/SOI 环振电路在 1.5V 电源电压工作时,每级延迟为 250ps ;而在 5V 电源电压下每级延迟时间为 45ps 。

表 5.1 $0.8\mu\text{m}$ 全耗尽 SOI 器件的基本电学参数

	NMOS	PMOS
硅层厚度 (nm)	70	70
沟道长度 (μm)	0.8	0.8
阈值电压 (V)	0.7	-0.8
迁移率 ($\text{cm}^2/\text{V} \cdot \text{s}$)	465	264
亚阈值斜率 (mV/dec)	79	81
击穿电压 (V)	4.5~5	-5~-6.3

结 束 语

作者自 1997 年 9 月开始攻读硕士学位以来,在海潮和导师、刘新宇博士的指导下,在我室的工艺技术人员的大力协助下,主要进行了大量的前期资料收集、SOI MOSFET 的工艺模拟、SOI MOS 器件和电路的设计、SOI 关键工艺研究、SOI 实验流片、实验片测试和分析。主要工作可概括为以下几点:

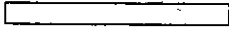
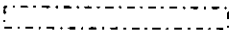
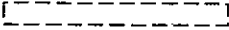
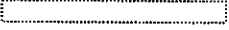
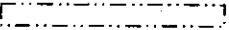
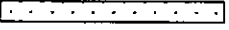
- ① 收集、整理、翻译了大量的资料,对国内外近十年来对 SOI 器件的研究成果进行了分析与总结。
- ② 根据“栅工程”,TFD SOI CMOS 采用了双多晶硅栅的器件结构,即 NMOS 采用 P⁺多晶硅栅,PMOS 采用 N⁺多晶硅栅。并对 N⁺/P⁺双多晶硅栅对器件性能的影响进行了理论分析和工艺研究。
- ③ 参与了 TFD CMOS /SOI 工艺实验版图和 2000 门海阵列的设计。
- ④ 对 SOI 的关键工艺:隔离工艺,氮化的氢氧合成工艺,沟道工程,双栅工艺,注 Ge 硅化物工艺进行了研究。PBLOCOS 隔离工艺的优化参数为:200nm Si₃N₄/50nm 非晶硅/15nm 氧化硅,鸟嘴小于 0.2μm,栅介质的绝缘强度为 8.4MV/cm。沟道掺杂采用深浅两次注入。一次注入主要用于沟道表面掺杂,调节阈值大小;二次注入主要用于抑制沟道穿通和背栅效应,提高器件击穿电压和亚阈值特性。双多晶硅栅结构的采用,有以下几个优点:较低的沟道掺杂,阈值电压容易控制,源漏击穿得到改善。氮化的氢氧合成栅介质,能有效地提高击穿特性和抑制热载流子效应,改善栅穿透现象,又能提高器件的抗辐照能力。注 Ge 硅化物技术的采用,既得到了较低的源漏方块电阻,又解决了 SOI 器件在形成硅化物时横向吃硅的问题,是一种非常理想的技术。
- ⑤ 成功开发了成套的全耗尽 SOI 工艺。经过几轮工艺流片,获得了性能良好的器件和电路,并对器件和电路进行了测试和分析。其中,N 管、P 管的亚阈值斜率分别为 79mV/dec, 81mV/dec。当工作电压为 5V 时,0.8μm 101 级环振单级延迟为 45ps。
- ⑥ 与课题组成员合作完成了 4Kb CMOS SOI SRAM 的研制。
- ⑦ 进一步的工作

由于时间的限制,更因为 TFD SOI CMOS 技术是一种新兴技术,还存在许多急需研究和解决的问题,论文中有些问题尚待进一步研究。例如,硅膜厚度对器件性能的影响还需要深入研究,双多晶硅栅结构还需要进一步的优化。

附录一:

0.8um SOI 硅栅设计规则

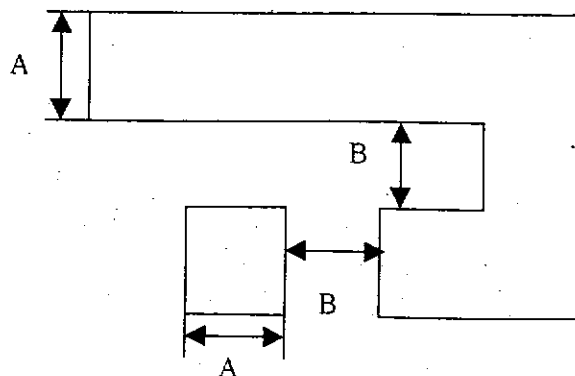
1.1 掩模版说明

序号	层次	图形描述
1	有源区	L1 
2	N ⁺ 扩散区	L2 
3	P ⁺ 扩散区	L3 
4	多晶	L4 
5	接触孔	L5 
6	一次铝	L6 
7	通孔	L7 
8	二次铝	L8 
9	压点	L9 

1.2 设计规则

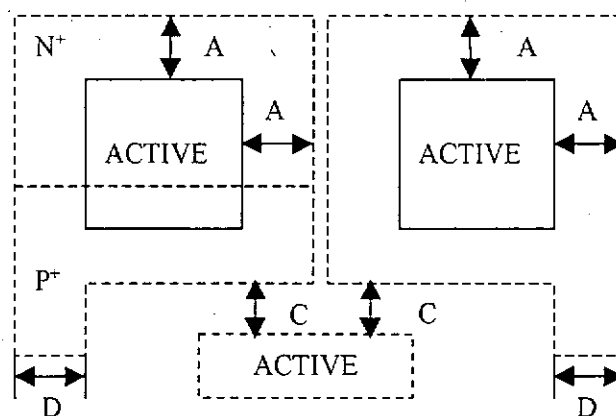
2.有源区

AW	最近宽度	0.8um	A
AS	最小间距	1.2um	B
ANW	无 Well		



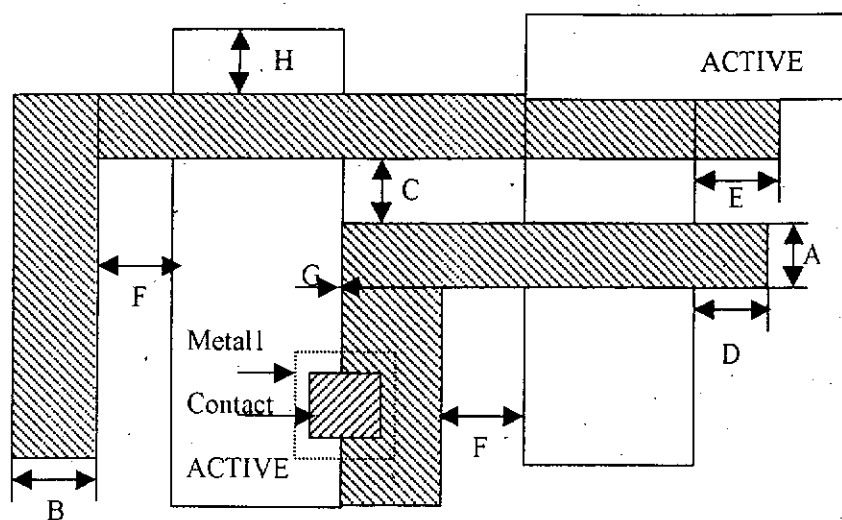
3. N⁺、P⁺扩散区

POA	覆盖有源区	0.8um	A
PS	最小间距	0.0um	B
PSA	与有源区最小间距	0.8um	C
PW	最小宽度	1.2um	D



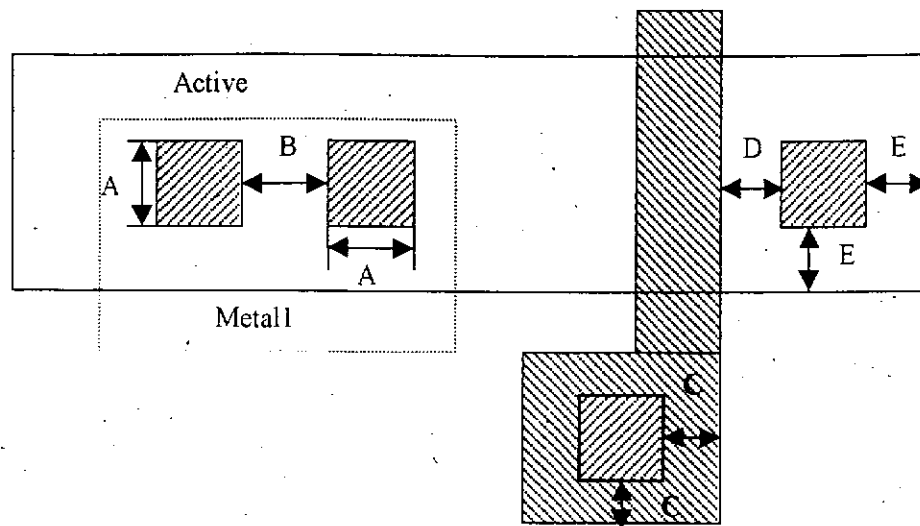
4. Poly

LW	最小宽度	0.8um	A
	栅最小宽度 连线最小宽度	1.0um	B
LS	最小间距	1.0um	C
LOA	伸出有源区	0.8um	D
		1.0um	E
LC	与有源区最小间距	有关 1.4um	F
		无关 0.2um	G
LMA	被有源区最小覆盖	1.0um	H



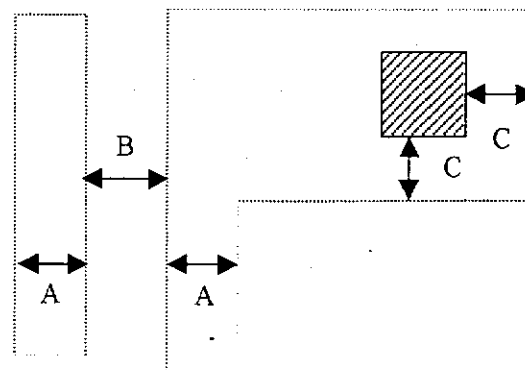
5. 接触孔

CW	最小宽度	1.0um	A
CS	最小间距	1.0um	B
COL	被 POLY 最小覆盖	0.6um	C
CSL	与 POLY 最小间距	0.8um	D
COA	被 ACTIVE 最小覆盖	0.6um	E
CSA	与 ACTIVE 最小间距	0.8um	F



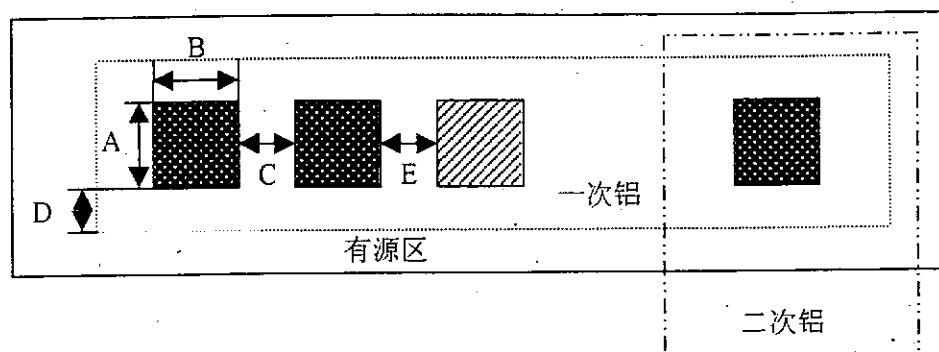
6. 一次铝

M1W	最小宽度	1.6um	A
M1S	最小间距	外 1.5um 内 1.2um	B
MOC	覆盖孔	外 0.8um 内 0.6um	C



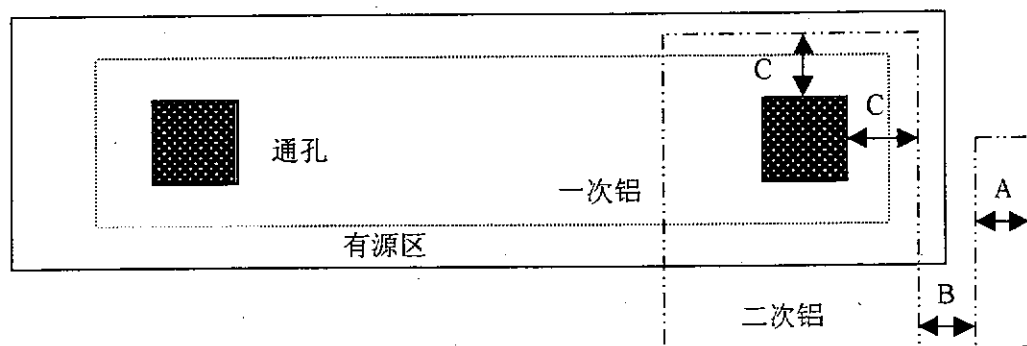
7. 通孔

VW	最小宽度	1.0um	A
VL	最小长度	1.0um	B
VS	最小间距	1.0um	C
VO1	被一次铝最小覆盖	0.6um	D
VCS	被通孔覆盖	0.8um	E



8. 二次铝

M2W	最小宽度	1.5um	A
M2S	最小间距	外 1.8um 内 1.2um	B
M2O	覆盖通孔	1.0um	C



8. 钝化层

PAW	最小宽度	80.00um	A
PAS	最小间距	80.00um	B

