

华南理工大学
硕士学位论文
MOS栅氧化层可靠性的研究
姓名：王涛
申请学位级别：硕士
专业：微电子学与固体电子学
指导教师：李斌
20040218

## 摘 要

作为高质量大规模集成电路关键技术之一的栅介质— $\text{SiO}_2$  薄膜, 其介质的好坏直接关系到器件的成品率、电学性能和使用寿命。本文主要是围绕着 MOS 栅氧化层的可靠性问题, 从栅氧击穿及栅介质辐射效应两方面, 着重研究了 TDDB 寿命评估方法及辐射前后、不同辐射剂量、剂量率下栅氧化层氧化物陷阱电荷和界面陷阱电荷对 MOS 器件电学参数的影响。

在栅氧击穿机理与相关数学统计理论的基础上, 研究了高温恒定电场 TDDB 寿命试验方法。评价栅氧化层 TDDB 可靠性的方法, 国内通常是在直流电压和直流电流下进行加速寿命试验, 而本试验则采用高温、恒定电场两种应力去评价栅氧化层厚度为  $12.5\text{nm}$  的 N 阱 MOS 电容 TDDB 可靠性, 结果表明, 同种应力条件下的样品寿命服从威布尔分布、不同应力下样品寿命分布的威布尔形状参数大致相当且外推出的  $85^\circ\text{C}$  下市场寿命均差别不大, 这些试验结果均有力证明了本试验方法的可行性和准确性, 对高温下工作器件进行可靠性评价提出了一个解决方案。

另一方面, 本文还对 MOS 栅氧化层的辐照特性进行了研究。首先, 对有关辐照效应的理论进行了简要的叙述, 介绍了辐照过程中氧化物陷阱电荷的产生过程以及界面态建立的一些模型。并在此基础上研究了不同 X 射线辐射剂量、剂量率下栅氧化层中氧化物陷阱电荷和界面陷阱电荷对 MOSFET ( $W/L=10/0.6$ 、 $d_{\text{ox}}=12.5\text{nm}$ ) 电学参数的影响。结果表明, 随着辐射剂量的增加,  $I_{\text{ds}}-V_{\text{gs}}$  转移特性曲线向负向漂移, 同时斜率变小。且在相同总剂量条件下, 随着剂量率的增加, 阈值电压负向漂移量明显增大。其次, 研究了不同 X 射线辐射剂量、辐射剂量率下栅氧化层中氧化物陷阱电荷和界面陷阱电荷对栅接地 nMOSFET (ggnMOSFET、 $W/L=10/0.6$ 、 $d_{\text{ox}}=12.5\text{nm}$ ) ESD 电学参数的影响。结果表明, 不管辐射的剂量率多大, 随辐射总剂量的增加, 开启电压、维持电压均呈现下降趋势, 而二次击穿电流则呈现先下降, 到达一定总剂量时, 开始上升趋势。

关键词: 薄栅氧化层; TDDB; 可靠性评估; 辐射效应; ESD

## Abstract

As one of the key techniques for high quality VLSI circuits, thin gate  $\text{SiO}_2$  dielectric quality is largely related to VLSI devices yield, electrical performance and device life time. In this dissertation, surrounding the center of gate oxides reliability, a TDDB test method based on the constant electric field at high temperature is introduced. On the other hand, the effects of  $\text{SiO}_2/\text{Si}$  charges (Not, Nit) on the electrics parameters of 0.6 $\mu\text{s}$  MOSFET structures under different total irradiation dose, dose rates are also investigated.

The first part is the investigation of TDDB method. Accelerated lifetime test was taken to measure the sample's failure time under some constant stresses. In our country, constant current TDDB test and constant voltage TDDB test are generally adopted. But in this paper, a TDDB method based on the constant electric field at high temperature is introduced, the reliability of gate oxide is evaluated according to failure criterion of MOS capacitor gate current. The results show that the life time of samples under the same stress submit to the Weibull distribution; the Weibull shape parameters attracted from the life time distribution under different stresses are almost equal; and the market life time (85  $^{\circ}\text{C}$ ) of the samples extrapolated from different stress are also similar; Therefore the feasibility and accuracy of this test method have been verified, which can be used in the reliability evaluation of MOS devices operated at high temperature.

On the other hand, the radiation effects of MOS devices are investigated focus on the X-ray total dose effect and the dose rate effect. Firstly, the related theories of radiation effect are discussed in brief, including some models of interface trap formation and process of producing oxide trap charge in radiated MOS devices. Based on this theory, the effects of the interface charge and the trap charge in the gate oxide on the electric

parameter of MOS devices under different X-ray total dose and different dose rate are investigated. When the irradiation total dose is continuously increased with a constant dose rate,  $I_{ds}-V_{gs}$  curves shift in the negative direction and the curve slope become less steep. And when the dose rate is continuously increased with a constant total dose, the threshold voltage shift is obviously. Secondly, the effects of  $\text{SiO}_2/\text{Si}$  charges on the ESD parameter of MOSFET structures under different irradiation total dose and dose rate are studied and some interesting results have been obtained.

Key words: thin Gate oxides, time dependent dielectric breakdown, reliability evaluation, radiation effects , Electro-Static Discharge.

# 华南理工大学

## 学位论文原创性声明

本人郑重声明：所呈交的论文是本人在导师的指导下独立进行研究所取得的研究成果。除了文中特别加以标注引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写的成果作品。对本文的研究做出重要贡献的个人和集体，均已在文中以明确方式标明。本人完全意识到本声明的法律后果由本人承担。

作者签名：王涛

日期：2004年3月18日

## 学位论文版权使用授权书

本学位论文作者完全了解学校有关保留、使用学位论文的规定，同意学校保留并向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅和借阅。本人授权华南理工大学可以将本学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存和汇编本学位论文。

保密 ☐，在 \_\_\_\_\_ 年解密后适用本授权书。

本学位论文属于

不保密 ☒。

（请在以上相应方框内打“√”）

作者签名：王涛

日期：2004年3月18日

导师签名：李江

日期：2004年3月18日

# 第一章 绪论

半导体集成电路自 1960 年问世以来, 在短短的三十年内, 经历了小规模 (SSI)、中规模 (MSI)、大规模 (LSI)、到今天的超大规模 (VLSI) 的迅猛发展过程, 成为当今高技术领域中一个极其重要的学科领域与产业。

大规模集成电路的发展水平通常是以动态随机存储器 DRAM 或静态随机存储器 SRAM 的集成度为标志。自 1969 年, Intel 开发研制成功 1K 的 DRAM 以来, 到 1997 年的近 30 年间, 集成度平均以每三年提高 4 倍的速度向前发展, 经历了九代变革, 发展到 256Mb。最小线宽由 1Mb DRAM 的  $1\mu\text{m}$  到 256Mb DRAM 的  $0.25\mu\text{m}$ , 栅氧化层的厚度也由 20-30nm 降至 4-5nm。栅氧化层不断向薄膜方向发展, 而电源电压却不宜降低, 在较高的电场强度下, 势必使栅氧化层的性能成为一个突出的问题。栅氧抗电性能不好将引起 MOS 器件电参数不稳定, 如: 阈值电压漂移, 跨导下降、漏电流增加等, 进一步可引起栅氧的击穿, 导致器件的失效, 使整个集成电路陷入瘫痪状态。因此, 栅氧化膜的击穿, 包括与时间有关的击穿 (TDDB) 和零时击穿 (TZDB), 多年来一直是超大规模集成电路可靠性研究领域关注的热点<sup>[1]</sup>, 也是限制集成度提高的重要原因。

评价栅氧化膜 TDDB 可靠性的方法, 国内通常是在直流电压或直流电流下进行加速寿命试验<sup>[2]</sup>。但是单纯加电流应力或电压应力并不能评估高温下工作器件的击穿寿命, 我们现实生活中很大一部分集成电路都不是在常温状态下工作的, 因此单纯加电应力并不能满足对实际生产生活中高温下工作器件的寿命评估。针对这个问题, 本文在试验方法上有一个新的尝试: 本试验首次采用高温、恒定电场两种应力去评价栅氧化层 TDDB 可靠性, 强化了氧化层老化击穿的热动力学过程<sup>[3]</sup>, 提出了对高温下工作器件进行可靠性评价的一个解决方案。此外, 实验采用的样品为封装级测试结构, 与以往晶片级 TDDB 实验相比具有场应力加速较慢、用外推法求结果误差小等优点。

另一方面, 在 ULSI 电路制备过程中, 栅氧化后的一系列辐照工艺会给栅介质带来严重损伤, 如早期击穿、击穿电荷降低、漏电流增加和界面态增加等。与此同时, 器件在使用过程中, 也不断受到核辐射的威胁, 使其电特性发生退化, 直接影响到集成电路的性能。因此迫切需要研究



超薄栅介质的辐照特性，探明其中的机理，以便寻求解决辐照所带来损伤的方法。

迄今为止，人们对于薄栅介质辐照特性的研究还十分有限，国际上这方面的研究工作也才刚刚开始。目前，国际上典型的研究工作有：M. Ceschia<sup>[11]</sup>、B. J. Cho<sup>[12]</sup>和 C. H. Ang<sup>[13]</sup>等人研究了薄栅介质辐照感生漏电流(RILC, Radiation Induced Leakage Current)与应力感生漏电流(SILC, Stress Induced Leakage Current)之间的关系，L. Larcher 等人则基于薛定谔方程导出了薄栅介质辐照感生漏电流的模型<sup>[14]</sup>，M. Ceschia 等人还报道了 4nm 薄栅介质因辐照导致的软击穿电流<sup>[15]</sup>；S. J. Kim 等人则研究了短波长光刻工艺对薄栅介质的影响<sup>[16]</sup>，等等。

近几年来，薄栅介质电离辐射效应的研究在国内学术界也引起了极大的关注，国内对栅介质辐照效应的研究大多都是通过辐照对 MOS 晶体管的影响来分析研究的。目前已有的研究有：西北核技术研究所的 Co60 源对 MOSFET 进行  $\gamma$  辐射<sup>[17]</sup>，研究了 MOSFET 晶体管阈值电压漂移与辐照总剂量的关系；中科院新疆核物理研究所则以 Co60- $\gamma$  为辐射源研究了“反程序”的 IGBT（由 MOS 管提供基极驱动的双极型晶体管）的总剂量辐射效应<sup>[18]</sup>；前面的研究所用的辐射源均为 Co60，而西安电子科技大学的学生（在新疆物理研究所作实验）初步进行了栅介质的 X 射线损伤研究<sup>[19]</sup>，对比了三种不同退火工艺生成的栅介质层的 X 射线辐射总剂量效应，主要是分析 MOS 晶体管随辐射总剂量的增加，其阈值电压的漂移情况。综上所述，国内目前对有关栅介质的 X 射线辐射效应方面的研究甚少，缺乏充足的实验和系统研究，在剂量率对 MOS 栅氧化层的 X 射线辐照影响方面尚属空白。针对这一现状，本文进行了 MOS 栅氧化层的 X 射线辐照特性的研究，重点在辐照剂量率对 MOS 栅氧化层的影响，分析由此产生的不同的失效机理和失效水平，为进一步的研究工作提供基础。同时，鉴于总剂量注入对 CMOS 电路中常用的 ESD 保护电路的影响研究不多，本文还研究了 MOS 结构二氧化硅/硅界面系统陷阱电荷的辐照变化对 MOS 晶体管 ESD（Electro-Static Discharge）静电参数的影响，探讨了在辐射环境下 CMOS 电路抗 ESD 能力的变化规律。以上的研究工作对提高器件的抗辐射损伤能力，提高集成电路的性能无疑都有重要的实际意义。

本文的工作主要分为两部分：一部分是在试验方法上取得突破，引入高温条件，进行高温恒定电场 TDDB 寿命试验方法的研究。参照标准 EIA/JEDEC35、EIAJ ED-4704 制订了整个高温恒定电场的试验方案，测得

了各组 TDDB 试验样品 MOS 电容在高温和恒定电场两种应力下的寿命。并以 E 模型为寿命退化模型，提取了退化模型参数  $\beta$  值，同时以 MOS 电容栅电流  $I_g$  为失效判据，对某工艺的 MOS 电容栅氧化层 TDDB 寿命进行了评价；另一部分是对 MOS 栅氧化层的辐照特性的研究。利用 4100X 射线辐射系统对厚度为 12.5nm 的 MOS 栅氧化层进行 X 射线辐照，并利用 4155 半导体精密参数测试仪分别测试了 X 射线辐射前后样品的转移（ $I_{ds} \sim V_{gs}$ ）特性和阈值电压（ $V_t$ ）等参数，并根据实验结果对栅氧化层损伤机理进行了分析。此外，本文还利用自制的 TLP 测试系统，研究了栅接地 nMOSFET's (ggNMOS) 在大电流下的作用机理，探讨了在辐射环境下 CMOS 电路抗 ESD 能力的变化规律。



## 第二章 TDDB 机理及相关的可靠性理论

与时间有关的介质击穿 (TDDB: Time Dependent Dielectric Breakdown) 是 CMOS 集成电路的主要失效模式之一, 是指施加的电场低于栅氧的本征击穿场强, 并未引起本征击穿, 但经历一定时间后仍发生了击穿。

当代超大规模集成电路 (VLSI) 技术的发展对于高质量高可靠性薄栅氧化层的要求日益提高,  $0.35\mu\text{m}$  工艺的栅介质层厚度为  $6\sim 10\text{nm}$ ,  $0.25\mu\text{m}$  工艺的栅介质层厚度为  $4\sim 5\text{nm}$ , 发展到  $0.13\mu\text{m}$  工艺时, 栅介质层的厚度将仅为  $2\sim 3\text{nm}$ 。因此当讨论到在 VLSI 的可靠性问题时, 注意力往往首先放在薄栅氧化层上。薄栅氧化层的可靠性问题与“与时间有关的介质击穿 (TDDB)”以及热载流子退化密切相关, 而其中 TDDB 作为 VLSI 中最主要的失效机理更是倍受关注<sup>[11]</sup>。

### 2.1 栅氧击穿

在 MOS 器件及 IC 中, 栅氧的漏电与栅氧质量关系极大, 漏电增加到一定程度即构成击穿, 导致器件失效, 称为栅氧击穿。

近年来, 由于 VLSI 技术的进步, 一方面器件尺寸在不断缩小, 要求栅氧厚度不断减薄, 但电源电压并不能随之按比例减小, 栅介质所承受的电场强度在不断增加, 这对栅氧质量及厚度的均匀性都提出了严格要求, 以保证栅氧有一定寿命; 而另一方面, IC 集成度大幅提高, 电路功能扩大, 可将一个系统集成在一个芯片上, 芯片面积不断扩大, 相应地芯片上栅氧总面积增大, 存在缺陷的概率增加, 加上受到高电场作用, 栅氧发生击穿的地方增多, 可靠性问题变得日趋严重<sup>[11]</sup>。

#### 2.1.1 栅氧击穿分类

从与时间的关系上来分, 栅氧击穿可分为瞬时击穿和与时间相关的介质击穿两种<sup>[11]</sup>:

##### 1. 瞬时击穿

电压一加上去, 电场强度达到或超过该介质材料所能承受的临界场强, 介质中流过的电流很大而马上击穿, 这叫本征击穿。

而实际上, 在栅氧化层中, 某些局部位置厚度较薄, 电场增强; 也可存在空洞 (针孔或盲孔)、裂缝、杂质、纤维丝等疵点, 它引起气体放电, 电热分解等情况而产生介质漏电甚至击穿, 由这些缺陷引起的介质击穿叫非本征击穿。

## 2. 与时间有关的介质击穿 (TDDB)

是指施加的电场低于栅氧的本征击穿场强, 并未引起本征击穿, 但经历一定时间后仍发生了击穿。这是由于施加电应力过程中, 氧化层内产生并积聚了缺陷 (陷阱) 的缘故。

在这两种击穿类型中, 栅氧瞬时击穿可通过筛选、老化等方法剔除, 因此, 在可靠性分析中, 往往将与时间有关的介质击穿, 即 TDDB 作为核心问题来研究。

在氧化层较厚时, 栅极材料采用铝, 这时从应用的角度来分栅氧击穿有自愈式击穿和毁坏性击穿两种形式<sup>[1]</sup>:

### 1. 自愈式击穿

由于铝的熔点低, 且铝层较薄, 栅氧某处产生击穿时, 生成的热量将击穿处铝层蒸发掉, 这样就使有缺陷的击穿处与其它完好的  $\text{SiO}_2$  层隔离开来, 故此称为自愈式击穿。

### 2. 毁坏性击穿

顾名思义, 毁坏性击穿是指击穿处不能自行与其它  $\text{SiO}_2$  层隔离, 发生该种击穿时, 铝彻底侵入氧化层, 使氧化层的绝缘作用完全丧失。

## 2.1.2 TDDB 机理

国外早在七十年代初就 TDDB 的击穿机理及实验方法展开了大量研究, 国内从八十年代初也已展开了这方面的工作。

栅氧化层的 TDDB 击穿机理, 目前认为可分为两个阶段:

第一阶段是建立阶段, 或称为磨损阶段, 在电应力作用下, 氧化层内部及  $\text{Si}-\text{SiO}_2$  界面处发生缺陷 (陷阱、电荷) 的积累, 积累的缺陷 (陷阱、电荷) 达到某一程度后, 使局部区域的电场 (或缺陷数) 达到某一

临界值, 转入下一阶段; 第二阶段是指在热、电正反馈作用下, 迅速使氧化层击穿的过程。栅氧寿命主要由第一阶段中的建立时间所决定。

对电应力下氧化层中及界面处产生的缺陷, 一般多认为是电荷引起的, 对电荷的性质, 主要有二种理论模型: 负电荷积累模型和正电荷积累模型。电子负电荷积累模型认为  $\text{SiO}_2$  的导电机理是电子从阴极注入, 注入电子以 P-N (Fowler Nordheim) 隧穿电流出现, 而不是空穴从阳极注入, 因为与空穴有关的势垒高度和有效质量都较大。 $\text{SiO}_2$  在一定电场作用下, 产生 F-N 隧穿电流, 电子从阴极注入氧化层中, 注入电子在阴极附近可产生新的陷阱或被陷阱所俘获, 局部电荷的累积, 使其与阳极间某些局部地区电场增强, 由于  $\text{SiO}_2$  中场强分布不是线性的, 只要达到该处  $\text{SiO}_2$  介质的击穿场强就发生局部介质击穿, 进而扩展到整个  $\text{SiO}_2$  层。

而正电荷积累模型认为, 注入电子在  $\text{SiO}_2$  中被俘获, 或发生碰撞电离, 产生电子-空穴对, 也可能产生新的陷阱; 空穴在向阴极漂移过程中被氧化层陷阱俘获, 产生带正电的空穴积累。另外, 电子注入在界面处使 Si-O、Si-H 键断裂产生正电荷的  $Q_{it}$  (界面陷阱电荷)、 $Q_{ox}$  (氧化物陷阱电荷)。因正电荷的积累, 增强了阴极附近某处的电场, 它使隧穿电子流增大, 导致空穴进一步积累。这样正电荷的积累和隧穿电子流的增加形成一个正反馈, 最终引起  $\text{SiO}_2$  的击穿。

具体击穿过程一般认为是一个热、电过程。隧穿电流与阴极场强有关。这涉及到 Si-SiO<sub>2</sub> (或 Al-SiO<sub>2</sub>) 界面不可能绝对平整, 微观上可能存在一些突起, 使局部电场增强, 也可能氧化层中某处存在一些杂质或缺陷, 使界面势呈高度降低, 这都使该薄弱处首先产生隧道电子流。在外场作用下, 电流呈丝状形式漂移穿过  $\text{SiO}_2$  膜, 这种丝状电流直径仅数纳米, 电流密度很大, 而  $\text{SiO}_2$  的导热率很低, 局部地区产生很大的焦耳热使温度升高, 温升又促进 F-N 电流增加, 这样相互促进的正反馈作用, 最终形成局部高温, 如不能及时控制电流的增长, 可使铝膜、 $\text{SiO}_2$  膜和硅熔融, 发生烧毁性击穿<sup>[14]</sup>。

当前, 对栅氧击穿主要是由负电荷的电子或正电荷的空穴起主要作用的问题, 尚无明确结论, 精确描述栅氧击穿的完整统一模型至今也仍未得到, 另外, 也有不少文献报道中提及击穿的统计模型<sup>[14]</sup>和感生共振隧穿模型, 前者把氧化层中产生的缺陷等效为栅氧化层减薄, 不涉及击穿的物理本质; 后者则认为高场载流子通过  $\text{SiO}_2$  能量间隙中存在的深缺陷态发生共振隧穿注入薄  $\text{SiO}_2$  中的。目前, 对薄栅氧化层 TDDB 特性的研

究焦点集中在其击穿机理和栅介质击穿参数的表征上<sup>[16, 17]</sup>。

## 2.2 数学模型

用数学方法对系统的可靠性关系加以描述，以便能准确地计算出它的可靠度，从而进一步求出其他特征量，这就是所谓的数学模型。

### 2.2.1 一般栅氧击穿模型

根据氧化层的击穿是由于空穴被陷入并积聚在氧化层内的局部陷阱处，陷入的空穴流可表示为

$$Q_p \propto J(E_{ox})\alpha(E_{ox})t \quad (2-1)$$

式中  $J(E_{ox})$  是 F-N 电流密度，它正比于  $e^{-B/E_{ox}}$ ， $\alpha(E_{ox}) \propto e^{-H/E_{ox}}$  是电离碰撞空穴产生系数，B 和 H 是与电子有效质量和阴极界面势垒有关的常数，t 为经历的时间。

当  $Q_p$  达到某一临届值时即产生击穿，时间为  $t_{BD}$

$$t_{BD} \propto e^{\frac{B+H}{E_{ox}}} \propto e^{\frac{G}{E_{ox}}} \quad (2-2)$$

式中  $G=B+H$ 。

实际氧化层中可能存在局部减薄区（如盲孔），局部电荷的积累，存在杂质或玷污，使局部电场增强或界面处势垒减弱，这都使 F-N 电流增加，栅氧提前击穿。如果不考虑其击穿的物理机制，仅从击穿的后果来考虑，引入等效氧化层减薄这一概念，上述栅氧的各种缺陷用一等效减薄量来表示，则式（2-2）成为

$$t_{BD} = \tau_0 e^{\frac{G}{E_{ox}}} = \tau_0 e^{\frac{G(X_{ox} - \Delta X_{ox})}{V_{ox}\tau}} = \tau_0 e^{\frac{GX_{eff}}{V_{ox}}} \quad (2-3)$$

式中  $X_{ox}$  为栅氧名义厚度， $\Delta X_{ox}$  是由于存在缺陷而使栅氧减薄的量， $X_{eff}$  是等效栅氧厚度， $\tau_0$  为常数。这样栅氧击穿时间的统计分布可并入  $\Delta X_{ox}$  统计分布中，而局部减薄处的面积并不重要。当某个局部处发生短路，整个栅氧就发生失效。

## 2.2.2 $1/E$ 、 $E$ 栅氧击穿模型

$1/E$ 、 $E$  栅氧击穿模型用来计算在栅氧化层上加上一定的外加电场后的击穿时间。 $1/E$ 、 $E$  栅氧击穿模型忽略了实际氧化层中可能存在的缺陷，用该模型计算的击穿时间（寿命）可以反映给定技术或工艺条件下的栅氧化层的理论可靠度。通常来说，这个计算结果和失效分布中在 100% 累积失效的情况下的栅氧化层的击穿时间（寿命）近似，也和以小电容作为测试对象的栅氧化层寿命基本吻合（小电容中存在可能导致失效的缺陷数量及可能性都非常小）。

### (1) $1/E$ 模型

$1/E$  模型又被称为空穴击穿模型 (Hole-Induced Breakdown Model)，最早由 Chen 等人提出<sup>[11]</sup>。如图 2-1 所示，当电子从多晶硅栅注入时，一些具有足够高能量的电子可以直接越过 3.1eV 的阴极势垒而被  $\text{SiO}_2$  的电场加速到达阳极。另一些能量较低的电子则通过 F-N 隧穿到  $\text{SiO}_2$  的导带或者直接隧穿到阳极。在标准的器件工作温度 ( $<150^\circ\text{C}$ ) 时，能越过 3.1eV 的电子数量可以忽略。如果栅氧化层上加的电场大于  $5\text{mV}/\text{cm}$ ，F-N 隧穿

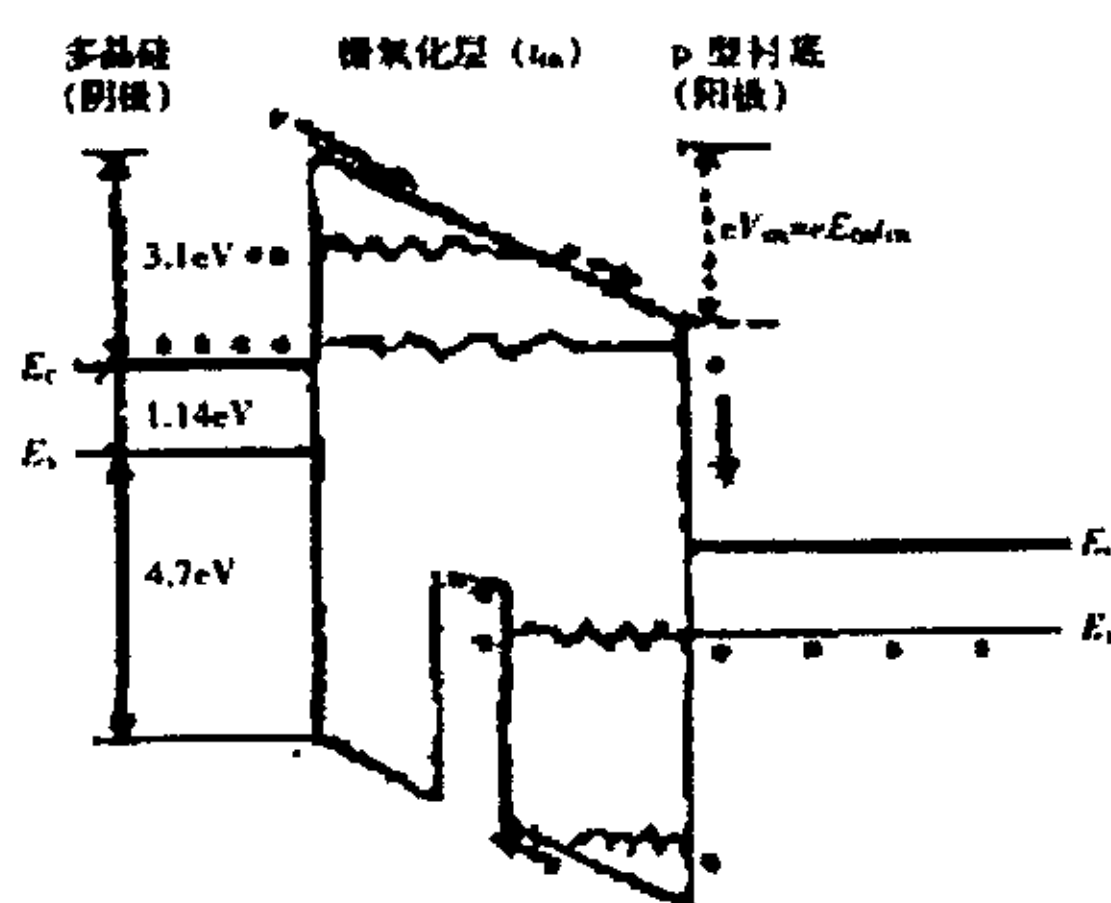


图 2-1 栅氧化层的导电机制

Fig. 2-1 Conduct mechanism of gate oxides

将占主导地位，但当栅氧化层厚度小于  $5\text{nm}$  时，直接隧穿将成为主导。当电子在高电场下穿越氧化层时将会和晶格碰撞，发生散射。到达阳极后，电子将释放能量给晶格，导致了 Si-O 键的损伤，产生电子陷阱和空穴陷阱。另一部分电子将能量传给阳极价带的电子并使其激发进入导带，从而生成电子-空穴对。产生的空穴又隧穿回氧化层，形成空穴隧穿电



流。由于空穴的迁移率比电子迁移率要低 2~3 个数量级，所以空穴很容易被陷阱俘获，这些被俘获的空穴又在氧化层中产生电场，使缺陷处局

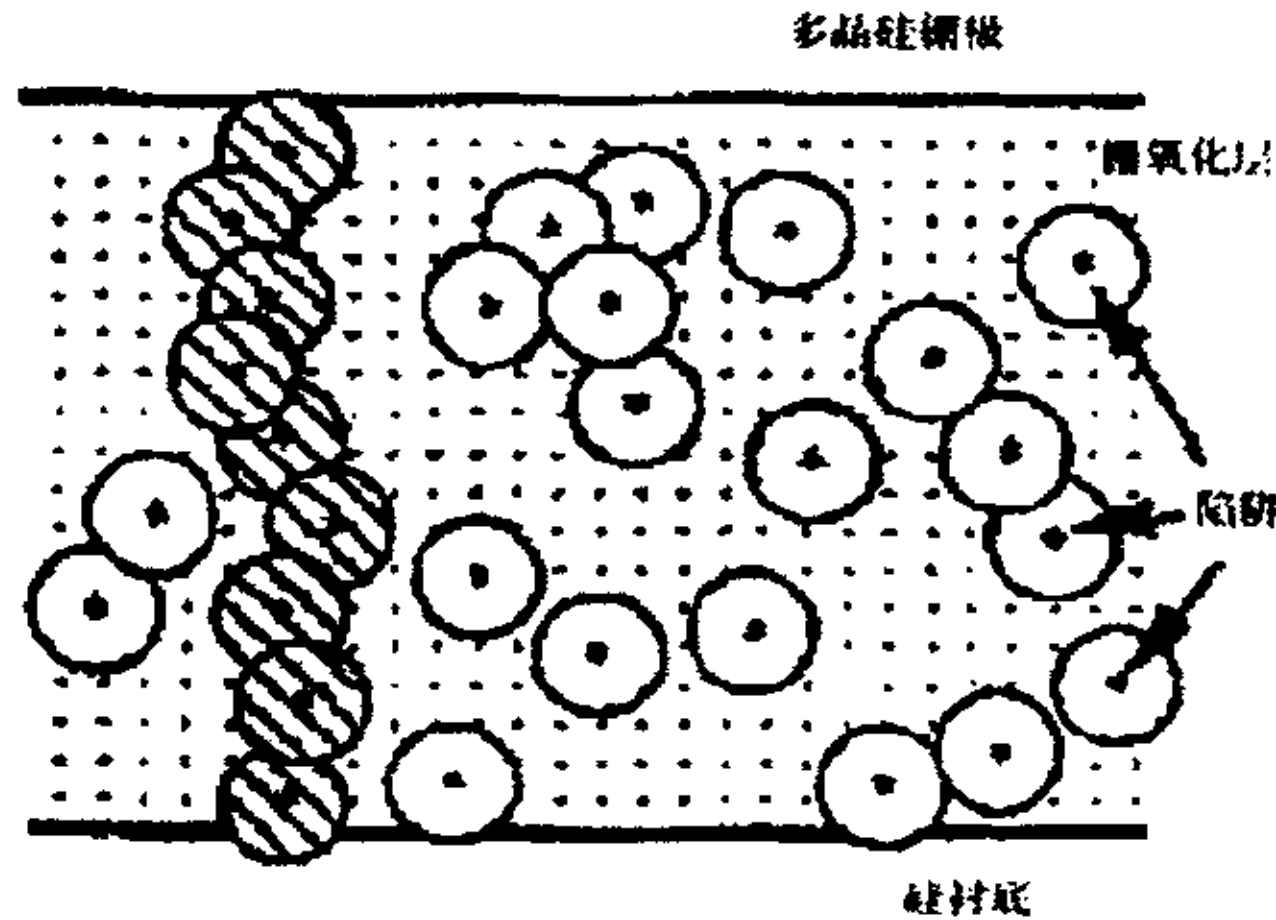


图 2-2 本征氧化层击穿时导电通道示意图

Fig. 2-2 Schematic diagram of conductor channels in gate oxides when intrinsic breakdown is occurred

部电流不断增加，形成了正反馈，陷阱不断增多，当陷阱互相重叠并连成了一个导电通道时，氧化层被击穿，如图 2-2 所示<sup>[19]</sup>。

1/E 模型的表达式如下：

$$TTF = \tau \times \exp(E_a / KT) \times \exp(G / E) \quad (2-4)$$

式中， $TTF$ —击穿时间

$\tau$ —比例常数；

$G$ —比例常数；

$E$ —加在栅氧化层上的电场强度，单位为 MV/cm；

$E_a$ —热激活能，单位为 eV；

$K$ —玻尔兹曼常数；

$T$ —绝对温度<sup>[19]</sup>

由以上表达式可以看到，平均击穿时间的对数与栅氧化层上的外加电场  $E$  的倒数成线性关系，这也就是这个空穴击穿模型被称为 1/E 模型

的原因。

因为只有在外加电场很大时才能产生高的 F-N 隧穿电流, 所以由  $1/E$  模型的理论可知, 此模型在高场条件下能和实验值较好的复合, 但 McPherson 提出, 在低场 ( $E < 5 \text{ mV/cm}$ ) 条件下  $1/E$  模型与实际偏离得较大<sup>[11]</sup>。也有研究者提到  $1/E$  模型忽略了重要的一点, 那就是介质层即使在没有外加电场的情况下也会因为热或者扩散过程而退化。

## (2) E 模型

E 模型也称为热化学击穿模型 (Thermochemical Breakdown Model), 最早是由 Crook 等人<sup>[12]</sup>通过大量实验观察到经验模型, 后来 McPherson 和 Baglee<sup>[13]</sup>又用热化学的知识证明了这个模型。目前世界上多数研究者都支持这个模型。E 模型假设氧化层老化和击穿是一个热动力学过程, 可能由处于热应力和外加电场下的偶极子相互作用破坏了 Si-O 键而产生击穿。

E 模型的表达式如下:

$$TTF = \tau \times \exp(E_a / KT) \times \exp(-\beta E) \quad (2-5)$$

式中,  $TTF$ — 击穿时间

$\tau$  — 比例常数;

$\beta$  — 电场加速参数 (Field Acceleration Parameter)

$E$  — 加在栅氧化层上的电场强度, 单位为  $\text{MV/cm}$ ;

$E_a$  — 热激活能, 单位为  $\text{eV}$ ;

$K$  — 玻尔兹曼常数;

$T$  — 绝对温度<sup>[14]</sup>

由以上表达式可以看到, 平均击穿时间的对数与栅氧化层上的外加电场  $E$  成线性关系, 这也就是这个热化学模型被称为 E 模型的原因。

和  $1/E$  模型相比, E 模型在高场和低场条件下都与实验值符合得不错, 但它也有缺点, 其中之一在于它无法解释击穿电量  $Q_{bd}$  为何会随测试电压极性的变化而不同<sup>[15]</sup>。



## 2.3 可靠性分布

电子元器件的可靠性大都是围绕其寿命来表征的,所以寿命是其一个很重要的指标。我们知道,产品的寿命是一个随机变量,服从一定的统计分布,因此知道产品的寿命分布是很重要的。

电子元器件寿命分布的类型有很多,有二项分布、指数分布、正态分布、对数正态分布、威布尔分布等等,其中最常见的是对数正态分布和威布尔分布。

### 1. 对数正态分布

产品在使用过程中往往受到许多微小随机因素的影响,如果众多随机因素的综合影响表现为连乘的形式,则其寿命分布往往可以用对数正态分布来描述。半导体器件的寿命分布在较多的场合下,都可以用对数正态分布来拟合。

对数正态分布的概率密度函数为:

$$f(t) = \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{1}{2}\left(\frac{\ln t - \mu}{\sigma}\right)^2} \quad (2-6)$$

式中,有两个参数  $\mu$ 、 $\sigma$ ,  $\mu$  称为对数均值,  $\sigma^2$  称为对数方差。

利用正态分布与对数正态分布的关系,可以推导出对数正态分布的分布函数  $F(t)$ 、可靠度  $R(t)$ 、失效率  $\lambda(t)$ 、平均寿命  $E(T)$ 、寿命方差  $D(T)$ 、可靠度  $\rho_r$ 、中位寿命  $\rho_{0.5}$ 、特征寿命  $\rho_{e-1}$  的计算公式,分别如下:

$$F(t) = \int_{-\infty}^t \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{1}{2}\left(\frac{\ln t - \mu}{\sigma}\right)^2} dt = \int_{-\infty}^{\frac{\ln t - \mu}{\sigma}} \frac{1}{\sqrt{2\pi}} e^{-\frac{x^2}{2}} dx = \Phi\left(\frac{\ln t - \mu}{\sigma}\right)$$

$$R(t) = 1 - \Phi\left(\frac{\ln t - \mu}{\sigma}\right)$$

$$\lambda(t) = \frac{\varphi\left(\frac{\ln t - \mu}{\sigma}\right) / \sigma}{1 - \Phi\left(\frac{\ln t - \mu}{\sigma}\right)}$$

$$E(T) = e^{\mu + \frac{\sigma^2}{2}}$$

$$D(T) = e^{2\mu + \sigma^2} (e^{\sigma^2} - 1)$$

$$\rho_r = e^{\mu + \sigma \Phi(r)}$$

$$\rho_{0.5} = e^{\mu}$$

$$\rho_{e-1} = e^{\mu + 0.34\sigma}$$

其中， $\Phi(x)$ 为标准正态分布， $\varphi(x)$ 为其概率密度函数。

## 2. 威布尔分布

瑞典的威布尔研究链的强度进行材料疲劳寿命试验时，构造了一种分布函数。后来人们发现，凡属由于局部失效而导致整体机能失效的模型都能采用这种分布函数来进行描述，因此人们称之为威布尔分布。

威布尔分布函数的形式为：

$$F(t) = 1 - e^{-\frac{(t-r)^m}{t_0}} \quad (2-7)$$

其概率密度函数为

$$f(t) = \frac{m}{t_0} (t-r)^{m-1} \cdot e^{-\frac{(t-r)^m}{t_0}} \quad (2-8)$$

式中  $m$  称为形状参数，表示概率密度分布曲线的几何形状； $r$  称为位置参数，表示分布曲线在  $t$  轴上的起始位置； $t_0$  称为尺度参数，它与分布曲线坐标轴的标尺比例有关。

根据数理统计的相关知识，可以推导出威布尔分布的可靠度  $R(t)$ 、失效率  $\lambda(t)$ 、平均寿命  $E(T)$ 、寿命方差  $D(T)$ 、可靠度  $\rho_r$ 、中位寿命  $\rho_{0.5}$ 、特征寿命  $\rho_{e-1}$  的计算公式如下：

$$R(t) = e^{-\frac{(t-r)^m}{t_0}}$$

$$\lambda(t) = \frac{m}{t_0} t^{m-1}$$

$$E(T) = r\Gamma(1 + \frac{1}{m})$$

$$D(T) = \eta^2 \left\{ \Gamma \left( 1 + \frac{2}{m} \right) + \Gamma^2 \left( 1 + \frac{1}{m} \right) \right\}$$

$$\rho_r = \eta (-\ln r)^{1/m}$$

$$\rho_{0.5} = \eta (-\ln r)^{1/m}$$

$$\rho_{e-1} = t_0^{1/m} = \eta$$

其中,  $\Gamma(x)$  称为伽玛函数,  $\eta = t_0^{\frac{1}{m}}$  称为真尺度函数,

由于威布尔分布有三个参数, 能适应各种条件变化, 调节余地大, 而且参数的取值范围反映了产品故障特性, 它对各种类型的试验数据适应能力较强, 在可靠性工程中比较重要。

## 2.4 小结

本章主要介绍了栅氧击穿的相关理论, 包括栅氧击穿的分类、击穿机、击穿模型以及产品寿命分布, 为 TDDB 试验与分析提供了主要理论依据。

### 第三章 栅氧化层 TDDB 试验和寿命评估

寿命试验是对产品寿命特征进行评价分析的试验。通过寿命试验可以了解产品寿命分布的统计规律，以作为可靠性分析的基础，作为制定筛选条件和改进产品质量的依据。寿命试验可分为贮存寿命试验、工作寿命试验、加速寿命试验等。由于长期寿命试验需要较长时间，为了缩短时间、节省样品与费用、快速地评价产品的可靠性，就需要作加速寿命试验。加速寿命试验是在既不改变产品的失效机理又不增加新的失效因子的前提下，提高试验应力，加速产品失效进程的一种试验方法。根据加速寿命试验的结果，可以预测产品在正常应力下的寿命。按照试验应力的不同施加方式，加速寿命一般可以分为恒定应力加速寿命试验、步进应力加速寿命试验和序进应力加速寿命试验等。本实验采用高温、高压两种应力方式进行 TDDB 测试，并对相关栅氧化层进行寿命评估。

#### 3.1 TDDB 寿命测试

##### 3.1.1 实验装置

如图 3-1 所示，TDDB 测试系统包括：杭州可靠性仪器厂 ELEA-J 集成电路高温动态老化箱、测试平台、计算机控制系统三部分组成。图 3-2 为 ELEA-J 集成电路高温动态老化箱示意图，试验箱温度从室温到  $150^{\circ}\text{C}$  任意可调，温度均匀性  $125^{\circ}\text{C} \pm 2.5^{\circ}\text{C}$ 。电压应力则是通过计算机控制系统程控施加到待测样品上，样品在老化箱中分区放置，对样品施加不同电压应力，只需在计算机软件里设置各分区所对应的应力。当样品发生失效时，则将老化板迅速从高温箱中拿出，置于测试平台上进行测量，从而找出电路中的失效样品，将其取出并记录失效时间。

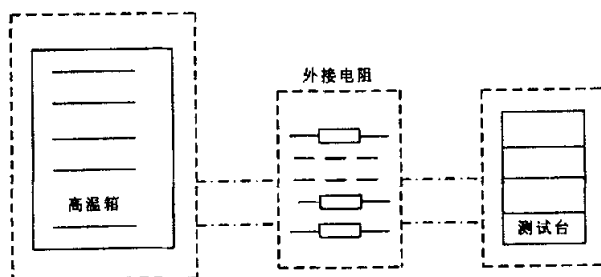


图 3-1 TDDB 试验系统结构示意图

Fig.3-1 Structure of TDDB test system

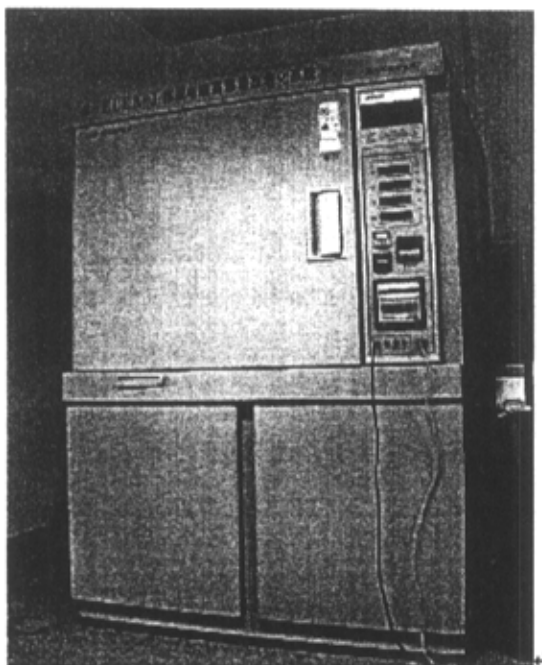


图 3-2 型号 ELEA-J 集成电路高温动态老化箱

Fig.3-2 Model ELEA-J high temperate oven for IC aging test

### 3.1.2 实验条件

根据国家标准 EIA/JEDEC35、EIAJ ED-4704, TDDb 试验的要求如下:

#### 1. 测试器件要求:

##### (1) 测试结构: 电容器结构;

(2) 面积: 大于  $0.001\text{mm}^2$ 。测试样品中电容器结构包含有 Si 衬底及其在衬底上形成的栅氧化层及栅极。电容器面积、形状、带或不带源/漏极等选择均要视测试的目的而定。本试验主要测试栅氧化层 TDDb 寿命, 选用 MOS 电容作为试验样品便可达到实验的目的。

2. 应力条件: 电场:  $6\sim 14\text{MV/cm}$ 、温度: 室温到  $250^\circ\text{C}$ , 为了精确起见最好选用至少 3 个电场或温度用以计算场加速因子或温度

加速因子。

3. 测量环境条件：温度： $25 \pm 2^{\circ}\text{C}$  相对湿度： $73 \sim 78\% \text{RH}$

4. 试验时间：不低于 500 小时。

### 3.1.3 TDDB 寿命试验程序

#### (1) 试验基本流程

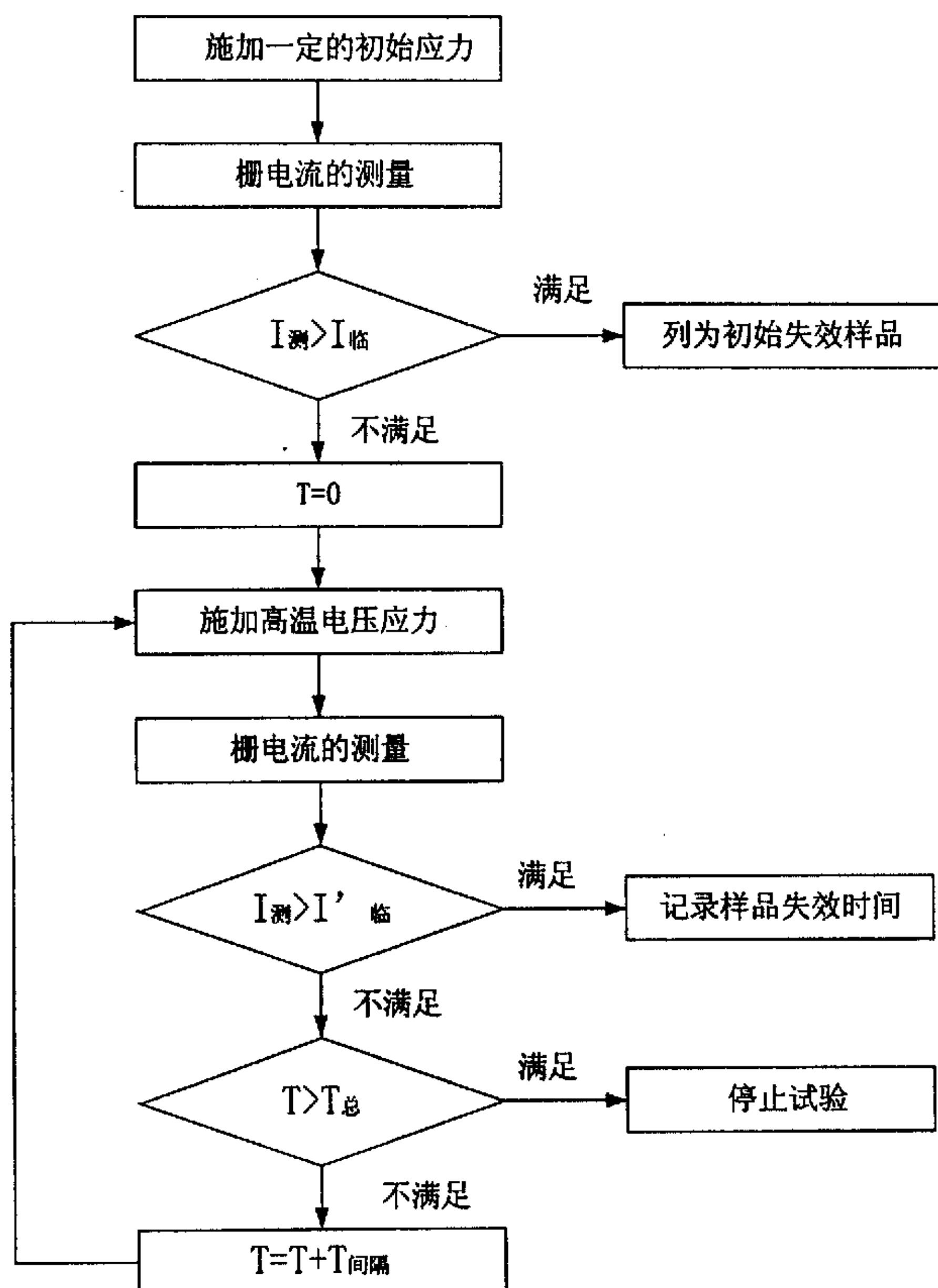


图 3-3 TDDB 应力试验流程图

Fig.3-3 Flow chart of TDDB stress test

图 3-3 标明了持续电压应力方法的程序，程序中初始测量用来鉴别初始的失效样品。在施加一定的工作电压的情况下测栅极电流，如果测

得的电流大于规定的标准，那么这样的样品被列入初始失效样品。

## (2) 实验过程和测试方法

本试验的样品是由某厂提供的 N 阱 MOS 栅氧电容，样品的面积为  $75 \times 600 \mu\text{m}^2$ ，栅氧化层厚度为  $12.5\text{nm}$ ，试验的测试结构由 HSMC-HJ 设计并生产，DIP24 陶瓷封装，样品封装如图 3-4 所示。

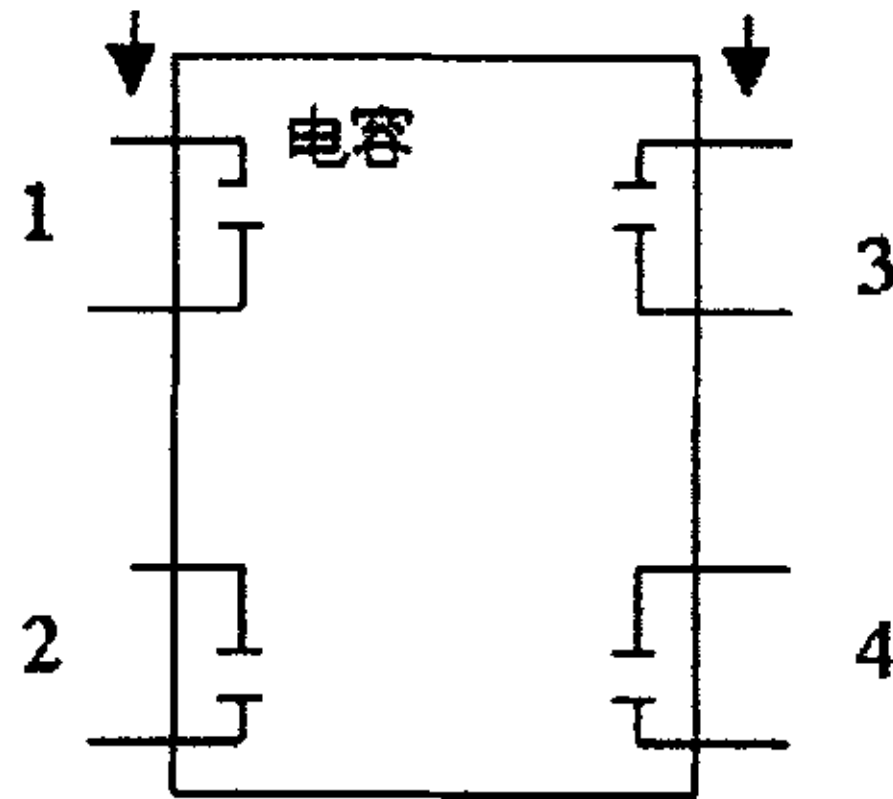


图 3-4 样品的封装图

Fig.3-4 Packaging diagram of sample

本次试验对同一批次的 n 阱 MOS 电容（共 60 只）加高温恒定电场应力进行试验，试验样品分三组进行，所施加的电场强度有三种，电场强度均在  $10\text{MV}/\text{cm}$  量级。各组别 MOS 电容个数及所加栅电场强度如表 3-1 所示。试验时间为 500 小时，试验温度  $135^\circ\text{C}$ ，判定样品失效的判据为 MOS 电容栅电流  $I_g > 0.2\text{mA}$ 。

表 3-1 样品与试验条件

Table 3-1 Samples and test condition

组别	试验方法及技术要求	电场强度 (MV/cm)	外接电压 (V)	试验样品数 (个)
1	试验环境温度： $135^\circ\text{C}$ 试验时间：500 小时 恒压源提供恒定电压， 外接电阻 失效判据： $I_g > 0.2\text{mA}$	9.2	11.5	20
2		9.6	12	20
3		10	12.5	20



测试过程中，由于样品是放置于集成电路高温动态老化箱内加应力的，要直接了解到样品的失效的情况是不可能的。为了能直观、快速地对样品电容的失效时间进行测量，我们将电容与外接电阻串联，其测试电路如图 3-5 所示：即将同批次的样品电容并联（并联电路上与电容串联的电阻起着限流的作用）后与外接电阻  $R$  串联。试验在高温、恒定电压加速应力条件下进行，其中  $R$  是高温箱外的外接电阻，其上的电压降可直接用电压表测得，而图 3-5 中并联部分置于高温箱中。温度通过高温箱设置，而电压应力则由电脑程控，加上应力后，可通过测量外接电阻  $R$  上的电压  $V$  来判断电容是否失效，并记下相应数据：如果所测的  $V$  大于或等于一定电压值  $V_0$ （即漏电流大于或等于某值时），则判定与之串联的电容样品中有其中的一个或者几个被击穿。然后将相应的电路板从高温箱中取出，放置于测试台上用万用表逐个测量电容  $C_1$  到  $C_n$  上极板端到地之间的电压值，根据电压值的大小判断电容失效与否（被击穿电容上极板到地的电压值较其它电容测量值要小，因为漏电流的出现使得电容上面的串联电阻分掉一部分电压）；如果  $V$  小于  $V_0$ ，则认为没有电容样品失效。按照此失效判据记录每个样品的失效时间，直到达到总的试验时间 500 小时为止。

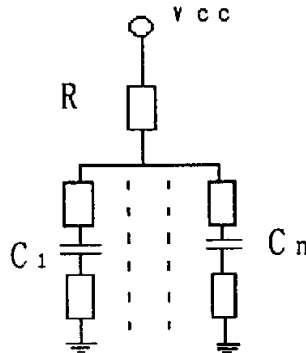


图 3-5 电路示意图

Fig.3-5 Schematic diagram of circuit

### 3.1.4 试验结果与讨论

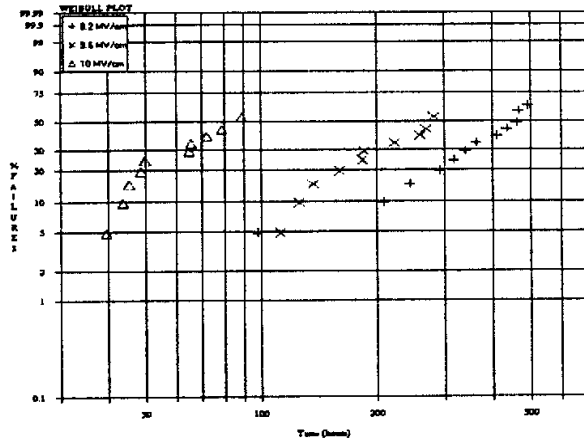
在实验初期，我们设定的测试时间间隔为 2 个小时，后来随着实验深入，为了提高精度，将测试时间间隔缩短为 0.5 个小时。每次测试时将失效样品取出，并记录相应的样品型号和失效时间，直至试验结束为止。全部试验记录的失效时间及样品编号见表 3-2。可知在试验时间内，第一组有 13 个样品发生失效、第二、第三组失效样品数均为 11 个。

表 3-2 TDD 试验失效样品数据

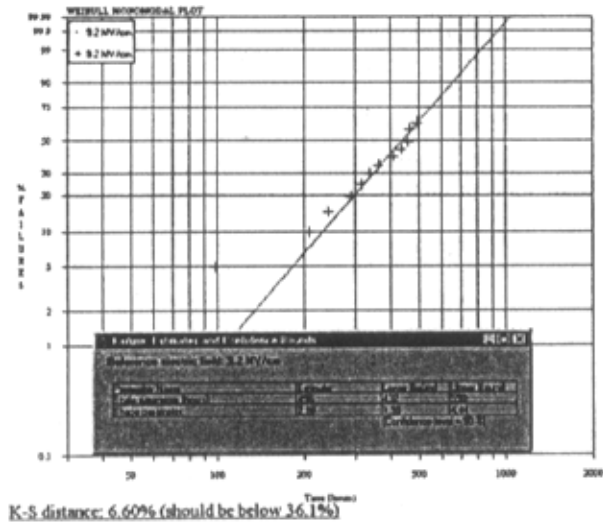
Table 3-2 The data of TDD failure samples

第一组 ( $N_{\text{阱}}P_{\text{ox}}, E_{\text{ox}}=9.2\text{MV/cm}$ )					
失效数	样品编号	失效时间 t(h)	失效数	样品编号	失效时间 t(h)
1	1AB	97.85	8	1AB	410.75
2	1BB	208	9	1AB	435.58
3	1AB	243.6	10	1AB	461.75
4	1AB	291.77	11	1DB	466.67
5	1AB	317	12	1BB	466.67
6	1AB	340.25	13	1CB	493.92
7	1BB	363.67	—	—	—
注：20 个 MOS 电容共有失效样品 13 个					
第二组 ( $N_{\text{阱}}P_{\text{ox}}, E_{\text{ox}}=9.6\text{MV/cm}$ )					
失效数	样品编号	失效时间 t(h)	失效数	样品编号	失效时间 t(h)
1	1BB	112.33	7	1BB	222.33
2	1BB	125.7	8	1BB	259
3	1BB	136.5	9	1BB	268.67
4	1BB	160.17	10	1BB	281.67
5	1BB	183.75	11	1BB	281.67
6	1BB	185.5	—	—	—
注：20 个 MOS 电容共有失效样品 11 个					
第三组 ( $N_{\text{阱}}P_{\text{ox}}, E_{\text{ox}}=10\text{MV/cm}$ )					
失效数	样品编号	失效时间 t(h)	失效数	样品编号	失效时间 t(h)
1	1A	39.5	7	1A	65.67
2	1BB	43.58	8	1BB	72.17
3	1BB	45.33	9	1A	78.88
4	1BB	48.58	10	1A	88.83
5	1A	49.83	11	1A	88.83
6	1BB	65	—	—	—
注：20 个 MOS 电容共有失效样品 11 个					

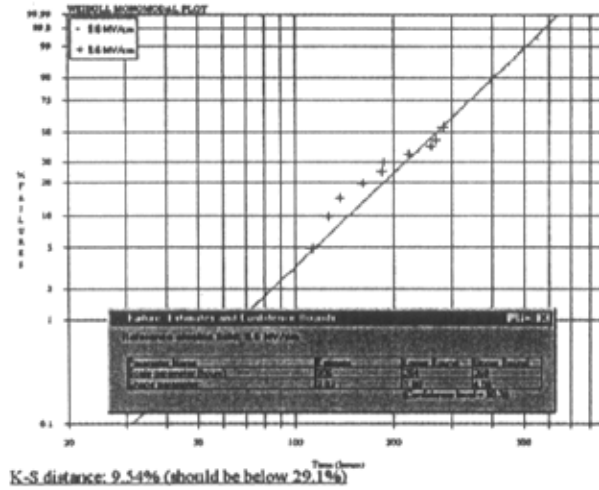
我们知道产品的寿命是一个随机变量，但它有一定的取值范围，服从一定的统计分布。如果能够得到它的分布规律，可靠性数据的处理就很容易。这里，我们借助信息产业厅五所分析中心提供的 destin 软件, 该软件的寿命分布分析是基于最小二乘法基础上进行的。对各组样品失效数据进行分布拟合，最后分析得到样品寿命分布满足威布尔分布，见图 3-6。其中 (a) 为所有失效样品的威布尔分布图，(b)、(c)、(d) 分别为第一组、第二组和第三组样品的威布尔分布及特征参数。



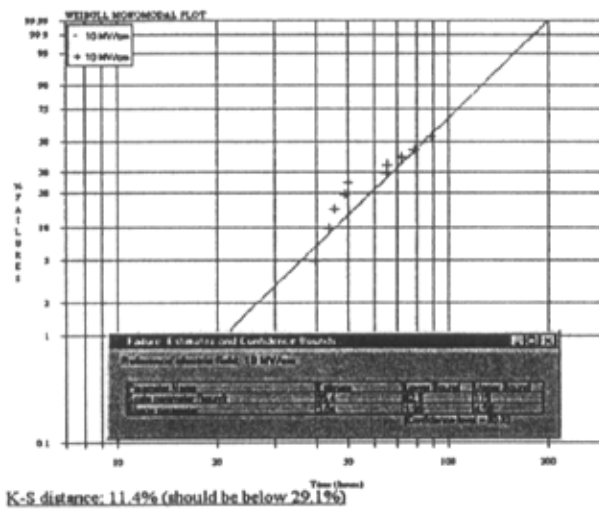
(a)



(b)



(c)



(d)

(a) 所有样品, (b) 第一组样品, (c) 第二组样品, (d) 第三组样品

(a) all samples, (b) the first group

(c) the second group, (d) the third group

图 3-6 N 阱 P<sub>100</sub> 电容寿命的威布尔分布图

Fig.3-6 Weibull distributing plot of N-well capacitor

由图 3-6a 可见, 样品寿命是随着应力的增加而递减的, 与实际相符, 说明整个测试方案是准确可行的; 对比图 b、c、d 可知, 在应力较低时, 样品失效时间分布与拟合的直线更接近, 说明样品的寿命更接近于威布尔分布。

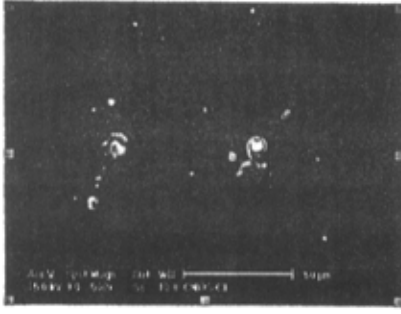
威布尔分布函数  $F(t)=1-e^{-\frac{(t-t_0)^m}{t_0^m}}$  在等距离的  $[t, F(t)]$  坐标系中虽然是曲线方程, 但经过两次取对数以后就可以化为:

$$\ln \ln \frac{1}{1-F(t)} = m \ln t - \ln t_0 \quad (3-1)$$

若令  $Y = \ln \ln \frac{1}{1-F(t)}$ ,  $X = \ln t$ ,  $B = \ln t_0$ , 则方程  $Y = mX - B$  在  $\{X, Y\}$  坐标系中是一条斜率为  $m$ , 截距为  $-B$  的直线方程。由于  $X$  与  $t$  之间,  $Y$  与  $F(t)$  之间成对应关系, 因此如果以  $X$ 、 $Y$  为等距离坐标, 左边标  $F(t)$  的刻度, 右边标  $Y$  的刻度, 上边标  $X$  的刻度, 下边标  $t$  的刻度就构成了威布尔概率纸, 如图 3-6 所示。从图 b、c、d 威布尔拟合图中可以看到, 各组样品拟合斜率大致差不多, 从拟合图的下方框中可以直接读到 a、b、c 图的形状参数分别为 2.98、3.03、3.04, 由此可以得出: 同种电容在不同应力下其寿命分布的威布尔形状参数大致相当, 试验数据一致性较好, 且精度高。

### 3.1.5 失效分析

对发生击穿的 N 阱 P 沟 MOS 电容样品 (第一组的 1AB 样品失效时间为 461.75 小时和第二组的 1BB 样品失效时间为 136.5 小时) 进行开封, 对样品处理后进行氧化层金相显微镜观察, 发现栅氧介质上不同地方均有出现击穿孔洞, 如图 3-7 所示。同样, 在显微镜下观察, N 阱 MOS 电容的早期失效样品与其它失效样品的失效部位以及失效现象基本一致, 说明样品均失效于栅氧击穿。



(a) 样品 1AB



(b) 样品 1BB

(a) Sample 1AB

(b) Sample 1BB

图 3-7 亚微米 CMOS 工艺电容结构击穿图形

Fig.3-7 The breakdown photo of sub-micrometer CMOS capacitor

### 3.2 TDD 寿命评估

确定样品寿命服从哪种分布后，继而需要确定一个描述栅氧化层击穿特性随时间退化的模型， $E_{ox}$ 模型和  $1/E_{ox}$ 模型是其中应用最广泛的模型，我们在第二章中对这两种模型各自适用的范围已作简单介绍，由于 E 模型在高场和低场下都与实验值符合得不错，应用比较广泛<sup>[33]</sup>。所以这里选取  $E_{ox}$ 模型作为栅氧击穿的退化模型，见式 3-2。

$$TTF = A \times \exp(E_a / KT) \times \exp(-\beta E_{ox}) \quad (3-2)$$

式中， $TTF$ —失效时间

$A$  — 比例常数；

$\beta$  — 电场加速因子，取值范围为 1~7；

$E_{ox}$ — 加在栅氧化层上的电场强度，单位为 MV/cm；

$E_a$  — 热激活能，单位为 eV，典型值为 0.5eV，一般在 0.2eV~1.0eV 之间；

$K$  — 玻尔兹曼常数；

$T$  — 绝对温度

对 (3-1) 式两边取对数, 可知击穿时间的对数与栅氧化层上的外加电场  $E$  成线性关系,  $\ln(TTF) \sim E$  的斜率即为  $\beta$  值, 而  $TTF$  的提取则也是通过 destin 软件从威布尔分布图中提取, 提取结果见图 3-8。

Percentile		Estimate (hours)	Lower bound	Upper bound
50	Expon	43	33	54
10	Expon	23	13	33
1	Expon	10	4	20
0.1	Expon	4.3	1.3	10
0.01	Expon	2.3	0.8	4.4
0.001	Expon	1.0	0.3	1.9

Confidence level = 90%

(a)

Percentile		Estimate (hours)	Lower bound	Upper bound
50	Expon	27	22	33
10	Expon	15	11	20
1	Expon	8.0	5.5	12
0.1	Expon	3.0	2.0	5.0
0.01	Expon	1.5	1.0	2.5
0.001	Expon	0.8	0.5	1.3

Confidence level = 90%

(b)

Percentile		Estimate (hours)	Lower bound	Upper bound
50	Expon	84.5	61.5	115
10	Expon	45.5	33.5	70.5
1	Expon	21.0	16.0	42.0
0.1	Expon	9.0	6.5	24.0
0.01	Expon	4.0	3.0	12.0
0.001	Expon	2.0	1.5	6.0

Confidence level = 90%

(c)

(a) 第一组样品, (b) 第二组样品, (c) 第三组样品

(a) First group, (b) second group, (c) third group

图 3-8 置信度为 90% 的寿命预计 (Weibull 拟合)

Fig.3-8 The life prediction with 90% precision



图 3-8 中 (a)、(b)、(c) 分别是第一、第二和第三组样品 Weibull 拟合的置信度为 90% 时的预计寿命, 数据拟合采用的是最大似然法。从图中可提取电场应力为 9.2MV/cm、9.6MV/cm、10MV/cm 下各组样品累积失效率为 0.1% 时所对应的时间分别为 48.9、31.3、9.83 小时。然后, 画出  $\ln[TTF(0.1\%)] \sim E_{ox}$  曲线分布图, 得到的曲线斜率即为我们所要求的电场加速因子  $\beta$  值。拟合结果见图 3-9。图 3-9 为 N 阱\_P 沟电容在 135℃ 温度条件下 0.1% 寿命拟合得到的电场强度与失效寿命 ( $E_{ox} \sim \ln(TTF)$ ) 关系曲线, 由此可以得到电场加速因子  $\beta = 2.0054$ 。由于另一模型参数  $E_0 = 0.5$  已由厂家提供。

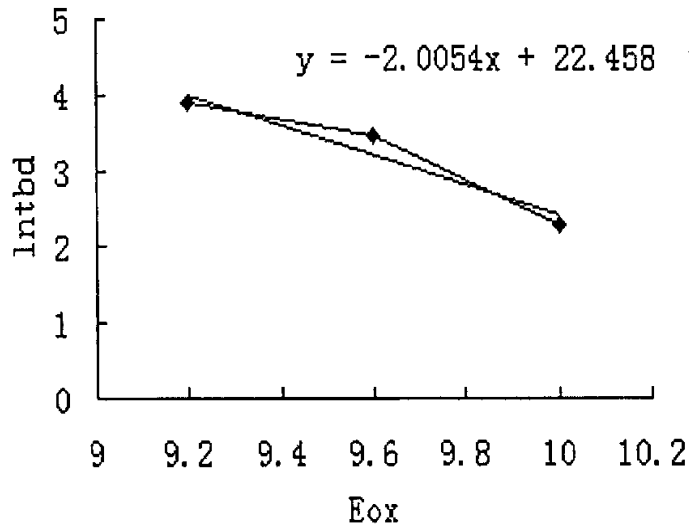


图 3-9 电场加速度因子  $\beta$  的拟合曲线

Fig. 3-9 Fitting curve of electric field accelerated factor

提取模型参数  $\beta$  后, 便可利用这些结果来预计正常工作条件下的氧化层 TDDDB 寿命。具体推导过程如下:

由 (3-1) 式可以推知不同温度  $T_{use}$ ,  $T_{test}$  下的温度加速度为:

$$AF_1 = TTF(T_{use}) / TTF(T_{test}) = \exp\left[\left(T_{use}^{-1} - T_{test}^{-1}\right)E_0 / K\right] \quad (3-3)$$

同样, 由 (3-1) 式可推知在不同电场应力  $E_{use}$ 、 $E_{test}$  下的电场加

速度满足：

$$AF_2 = TTF(E\_use)/TTF(E\_test) = \exp[-\beta(E\_use - E\_test)] \quad (3-4)$$

而本试验中所指定的市场条件温度为  $T\_use=85^{\circ}\text{C}$ ，市场条件电场强度  $E_{ox}=4.4\text{MV/cm}$ ，测试条件如表 3-2 所示。将这些条件代入 3-2、3-3 式中，便可得到不同应力下样品的温度加速度和电场加速度，其中由于只加了一组温度应力，因此各组样品的温度加速度均相同。计算结果如表 3-3 所示。

综合 (3-2)、(3-3) 两式，得到总的加速因子为：

$$AF = AF_1 \times AF_2 \quad (3-5)$$

结合实验中提取的 TTF 即可快速预计出市场条件下  $F(t)=0.1\%$  的 TDDb 寿命。表 3-4 则是由上述方法预计得到的市场条件下的 TDDb 寿命结果。

表 3-3 两种加速度计算结果

Table 3-3 The calculated results of accelerations

温度加速度				
所有实验样品	Ea(eV)	T_use(°C)	T_test(°C)	温度加速度
	0.5	85	135	7.29303573
电场加速度				
组别	电场加速因子	E_use(MV/cm)	E_test(MV/cm)	电场加速度
1	2.0054	4.4	9.2	15152.48767
2	2.0054	4.4	9.6	33795.40076
3	2.0054	4.4	10	75375.68335

表 3-4 TDDB 试验寿命预计

Table 3-4 The life prediction of TDDB test

栅氧化层电场 (MV/CM)	威布尔形 状参数	威布尔尺 度参数 (h)	累积失效 率 (%)	试验寿 命 (h)	市场寿命 (85℃) (年)
$E_1$	2.98	496	0.1	48.90	616.87
N 阱 $E_2$	3.03	215	0.1	31.3	880.66
$E_3$	3.04	95.4	0.1	9.83	616.86

\*合格判据为市场寿命 > 10 年

试验结果表明置信度为 90% 时, 按照市场寿命  $\{F(t) = 0.1\}$  大于 10 年的判据, 该批工艺所有样品寿命均合格; 且不同应力下的第一、第三组样品外推出的市场寿命几乎相等, 而第二组样品市场寿命有偏差是由于试验开始时经验不足, 测试周期太长所致。由此进一步说明了评价方法是准确可行的; 此外, 我们预计了在 85℃ 市场条件下样品的寿命值, 见表 3-4。对高温下工作器件进行可靠性评价提出了一个解决方法。

### 3.3 小结

本章着重于高温恒定电场 TDDB 寿命试验方法以及在此基础上对样品市场寿命进行评估, 具体介绍了 TDDB 试验的仪器设备、实验条件、应力试验流程、测试方法及市场寿命的评估方法, 并对失效样品进行了简单的失效分析。

## 第四章 电离辐射效应的相关理论

随着器件尺寸不断缩小,栅介质厚度相应减薄,薄栅介质的制备技术和可靠性已成为十分重要的课题。而电离辐射这个主要可靠性问题,是薄栅介质应用中不可避免的难题,如何提高器件与电路的可靠性,已经成为当今微电子领域,特别是航天和军事领域非常关注的课题。

器件生产过程中以及在航天或核环境条件下的使用过程中,MOS器件和电路不断受到核辐射的威胁,因而电特性发生退化。核辐射有多种形式,如中子辐射,电离辐射等。MOS器件由于有绝缘栅,受电离辐射的影响较大,X射线是电离辐射中主要形式之一。

### 4.1 主要的电离辐射环境和效应

随着科学技术的发展,特别是核武器、空间技术及核动力的发展,核辐射环境和电子技术的关系越来越密切,研究辐射对电子元器件和电子系统的影响就愈显得重要,这是抗辐射电子学迅速发展的历史背景。

辐射可以使半导体器件或者集成电路性能变坏,甚至彻底失效。研究辐射对半导体器件性能的影响,其必要性主要表现在<sup>[1][2]</sup>:(1)半导体器件经常工作在具有辐射的环境中,特别是在航天、航空、武器、核能利用等领域;(2)随着半导体器件制造工艺迅速发展,电子束沉积、溅射、等离子体沉积与腐蚀、离子注入、X射线曝光以及电子束曝光等各种含有辐射的工艺逐渐变成了常规通用的工艺,所以在加工或制造过程中,器件就处于辐照的环境之中;(3)基于辐射损伤效应的测试技术和研究方法逐渐成为一种有效的研究荷电缺陷产生、运输、俘获和退火的实验手段和研究工具,比如热载流子退化机理的对比研究方面;(4)某些特殊的器件,如硅光导摄像管靶,其本身就包含一个辐射源。

凡是与物质直接或间接作用时能使物质电离的一切辐射,称为电离辐射。电离辐射是由直接或间接电离粒子或由两者混和组成的任何辐射。直接电离粒子是那些具有足够大的动能,以致通过碰撞就能引起物质电离的带电粒子,如电子、 $\beta$ 射线、质子和 $\alpha$ 粒子等。间接电离粒子是能够释放出直接电离粒子或引起核变化的非带电粒子,如X射线、 $\gamma$ 射线、中子等。

微电子器件及电路将会在许多种类的辐射环境中应用，这些辐射环境主要包括空间辐射环境、核爆辐射环境和工艺辐射环境等，这些辐射环境的组成及对微电子器件的危害各异，下面简要介绍这些辐射环境和效应<sup>[28, 29]</sup>。

### (1) 空间辐射环境

空间辐射环境、按其粒子来源，又可分为地球辐射带（又称范艾伦带 Van Allen Belt）、太阳宇宙射线、银河宇宙射线等。地球辐射带又分为天然辐射带和人工辐射带。天然辐射带又可以细分为内辐射带和外辐射带，内辐射带在赤道平面上空大约 600km—1000km 左右的高度，主要由质子和中子组成。外辐射带的空间范围一直延伸到 60000km 左右，主要成份是电子。人工辐射带是指高空核爆炸产生的辐射带。人工辐射带由高能带电电子组成。太阳宇宙线是当大的太阳耀斑发生时，伴随着大量的高能带电粒子的发射，主要由质子和  $\alpha$  粒子组成。银河宇宙射线是来自银河各个空间的高能带电粒子，绝大部分是质子，其次是  $\alpha$  粒子，C 核群，Al 核群和 Fe 核群等。地球辐射带是航天器电子元器件受到辐射威胁的最严重的区域。

### (2) 工艺辐射环境

半导体器件及电路的许多制造工艺（如等离子刻蚀、离子注入、PECVD 以及光刻等）是在特殊的辐射环境（离子、中子、电子、 $\gamma$  射线和 X 射线等）中进行的。在完成许多工序的同时，所加工的芯片由此而要受到不同程度的辐射损伤。如利用 X 射线或电子束曝光法进行光刻时，芯片接受的辐照剂量可高达  $1E8\text{rad}(\text{Si})$ <sup>[29]</sup>。

### (3) 核爆辐射环境

核武器中应用的微电子电路要经受更为恶劣的辐射环境，包括光辐射、电磁脉冲和核辐射及 X 射线等构成的综合环境。核辐射包括中子、放射性微粒、 $\gamma$  和 X 射线。快中子、 $\gamma$  和 X 射线是造成器件电路失效的主要损伤源。

### (4) 实验室辐射环境

实验室辐射环境是指用于模拟空间和核爆环境的某些辐射效应的实验设备所形成的辐射环境。如模拟核爆剂量率效应的闪光 X 射线机（或直线脉冲电子加速器）、模拟总剂量效应的 Co60 辐射源、模拟核爆中子

效应的脉冲反应堆等所产生的辐射环境。

另外还有一些辐射环境，如在空间和核工业中所使用的机器人所处的辐射环境；高能物理加速器产生的辐射环境，以及大地及人为制造而产生的辐射环境等。

处于以上辐射环境的电子元器件，尤其是 MOS 器件及电路，将会遭到射线的作用。从射线与物质相互作用的角度出发，射线与物质的相互作用主要有：电离效应和位移效应。此外， $\gamma$  射线或 X 射线以及其它电磁辐射与物质的相互作用还存在另外三种效应：光电效应、康普顿效应和电子对产生效应。对于 MOS 器件，由于其工作方式多数为多数载流子工作器件，位移效应对 MOS 器件造成的影响很小。位移辐射效应通常是由入射粒子（快中子、高能质子、带电粒子等）与物质晶格原子发生碰撞引起，最终形成空位—间隙对缺陷，造成位移损伤。中子辐射对 MOS 器件影响较小，但电离辐射对 MOS 器件影响较大。MOS 器件处于电离辐射环境下，将会产生许多基本的辐照效应，通常有电离总剂量效应、瞬态辐照效应、单粒子效应，以及充放电效应等<sup>[27, 28]</sup>。

电离总剂量效应主要是带电粒子（如低能电子、质子等），X 和  $\gamma$  射线与 MOS 器件中的栅介质作用的结果。大量研究结果表明<sup>[17-20]</sup>，在电离辐射作用下，辐射将在  $\text{SiO}_2$  绝缘层中引入氧化物陷阱电荷，并在  $\text{Si}/\text{SiO}_2$  界面引入辐照感生界面陷阱电荷，其结果将导致 MOS 器件阈值电压变化，跨导降低，漏电流增加等，从而引起由 MOS 器件构成的集成电路的性能参数显著变化，以致功能失效。这种辐照损伤是一种长期的累积效应，称为电离总剂量辐照效应。

瞬态辐射效应是 X 射线和  $\gamma$  射线等瞬时辐射剂量率较高的辐射脉冲在 CMOS 等集成电路中产生的瞬时光电流，从而造成器件或电路半永久和永久性的损伤甚至失效。

单粒子效应（SEU、SEP）是电离辐射作用在存贮器件引起的一种效应。它是指单个高能粒子轰击器件或电路时，其内部因强烈电离而在很小空间范围内形成密集的空间电荷的现象。单粒子效应将使器件的逻辑状态翻转，出现“软错误”或产生闭锁，甚至“硬错误”。随着对单粒子效应的研究的不断深入，对单粒子效应的研究从最初的单粒子翻转 SEU 扩展到单粒子闭锁 SEL，单粒子烧毁 SEB，单粒子栅穿 SEGR 等效应研究<sup>[27, 29, 30]</sup>。随着超大规模集成电路的特征尺寸的减少，单粒子效应对 CMOS

集成电路造成的危害越来越大。

此外，在地球同步轨道上，由能量稍低的带电粒子—高温等离子体充电而形成的高达上万伏电位的高电压效应，将导致器件和系统高压击穿，也将造成通讯卫星发生运行故障，这种效应便是所谓“充放电效应（SED）”。

## 4.2 MOS 结构器件的电离辐照效应

典型的 MOS 结构为  $\text{Al-SiO}_2\text{-Si}$  或  $\text{PolySi-SiO}_2\text{-Si}$  结构。实际上，MOS 结构的电荷和陷阱包括工艺过程引入和辐射过程引入<sup>[11]</sup>。主要有五种。如下页图 4-1 为几种电荷存在的示意图。

1. 氧化物电荷。它位于  $\text{Si/SiO}_2$  界面  $20\text{nm}$  范围之内。主要是热生长  $\text{SiO}_2$  过程中，在  $\text{Si}$  表面出现的氧不足（或硅过剩）所引起。这些氧化物电荷是本征固定氧化物电荷，其面密度一般在  $10^{10}\sim 10^{12}/\text{cm}^2$  范围内。

2. 可动离子电荷。它位于  $\text{SiO}_2$  层中，主要由氧化工艺过程中各种污染所引起。主要指氧化层中的  $\text{Na}^+$ 、 $\text{K}^+$  离子。

3. 氧化层外表面的可动电荷。由于  $\text{SiO}_2$  的外表面可能沾污离子或吸附水汽，当这些带电离子被吸附时就导致可动电荷的出现。

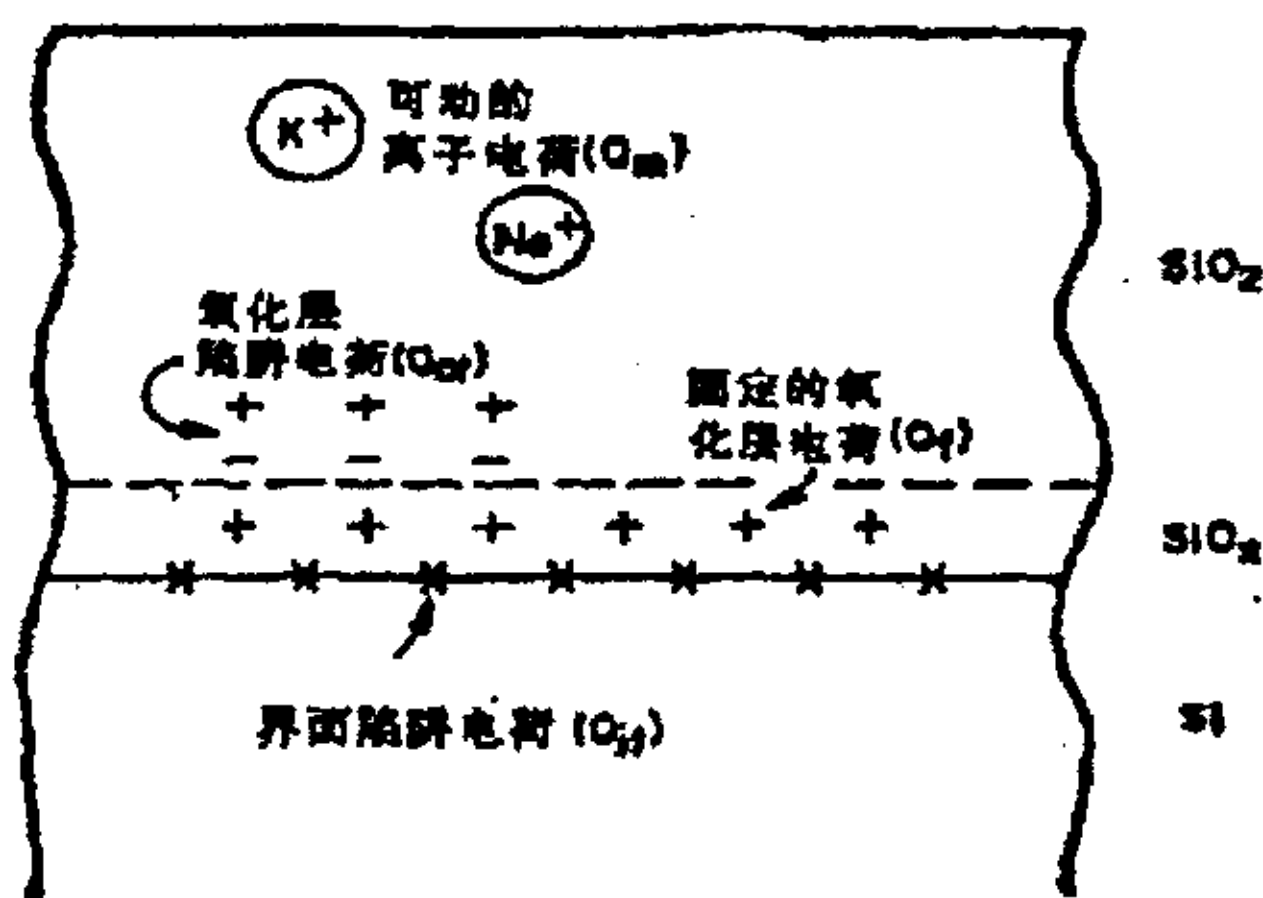


图 4-1 氧化层中的电荷示意图

Fig. 4-1 Charges diagram of gate oxide

4. 氧化物正电荷（氧化物陷阱电荷）。由于  $X$ 、 $Y$  或其它带电粒子辐



照, 在  $\text{SiO}_2$  体内或在  $\text{Si}/\text{SiO}_2$  界面附近产生的正电荷。存在于离  $\text{Si}/\text{SiO}_2$  界面约  $5\text{nm}\sim 30\text{nm}$  范围。

5.  $\text{Si}/\text{SiO}_2$  界面态 (界面陷阱电荷)。它是由  $\text{Si}$  表面的悬挂键等工艺缺陷或由辐照引起的界面陷阱缺陷引起的一种陷阱能级。离界面距离在  $0.5\text{nm}$  范围之内。

#### 4.2.1 电子-空穴对的产生

当致电离辐射的粒子或  $\gamma$ 、 $X$  射线照射半导体材料沉积且能量大于该材料的禁带宽度时, 一些束缚电子吸收入射粒子的能量后, 从价带激发到导带, 产生电子-空穴对。对大多数材料来说, 产生电子空穴对所需要的平均能量为其禁带宽度的  $3\sim 5$  倍<sup>[32]</sup>。电离所造成的损伤程度直接和单位剂量所产生的电荷有关。对于  $\text{Si}$ 、 $\text{Ge}$ 、 $\text{SiO}_2$ 、 $\text{GaAs}$ 、 $\text{SiC}$  等材料的禁带宽度、对生成能和场强极限下每拉德产生的对密度的产额如表 4-1 所示。

表 4-1 几种材料的禁带宽度、对生成能和每拉德产生的对密度

Table 4-1 Energy-Band, mutual forming energy of several material and mutual density produced by one rad

—	禁带宽度 (ev)	对生成能 $E_p$ (ev)	每拉德产生的对 密度 (对/ $\text{cm}^3$ )
Si	1.12	3.6	$4.2 \times 10^{13}$
Ge	0.66	2.8	$1.2 \times 10^{14}$
$\text{SiO}_2$	9	17	$8.1 \times 10^{12}$
GaAs	1.43	$\sim 4.8$	$\sim 7 \times 10^{13}$
4H-SiC	3.26	$\sim 10.7$	$\sim 2 \times 10^{13}$

## 4.2.2 电子—空穴对的初始复合及逃脱复合的空穴产额

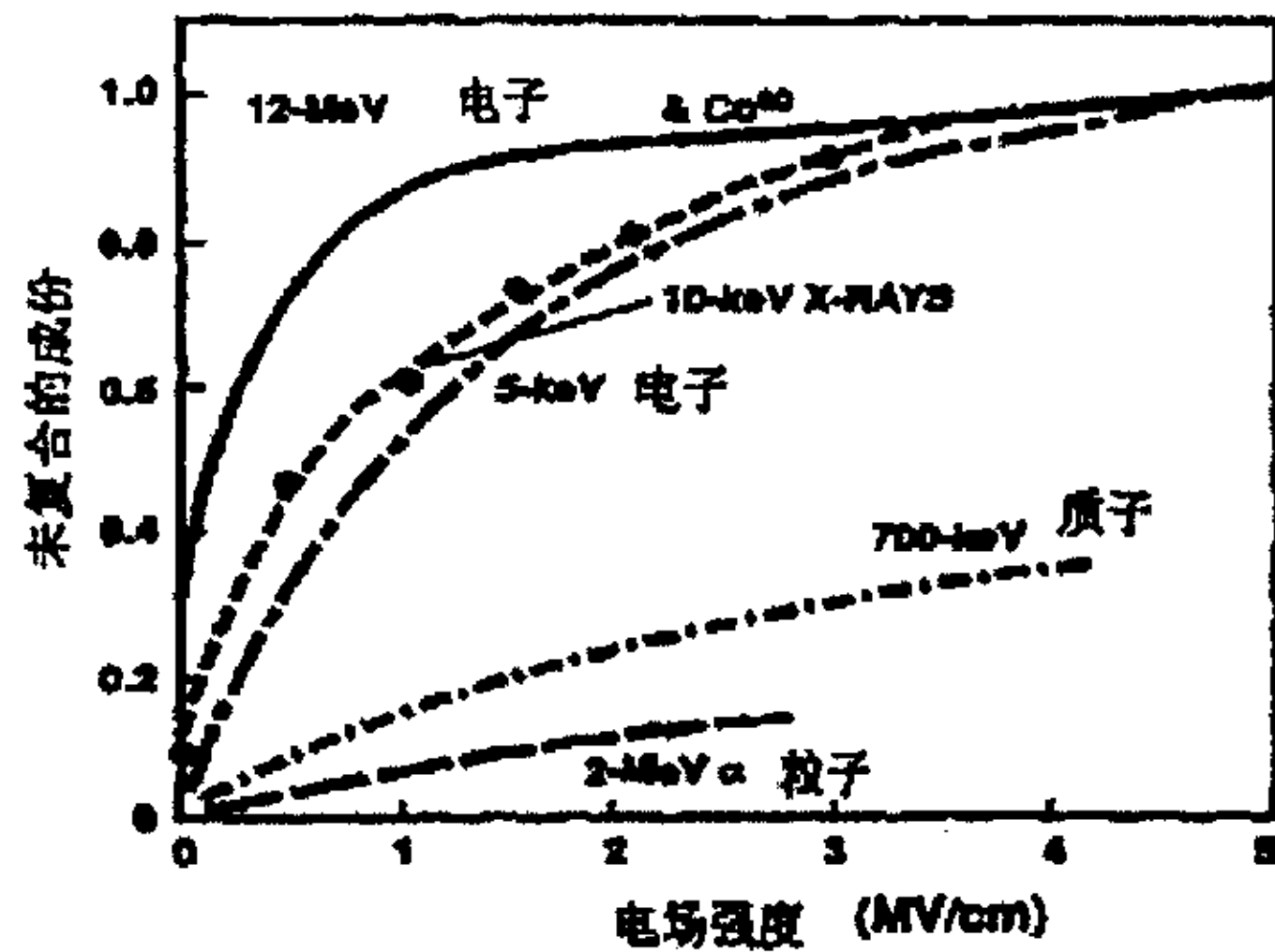
图 4-2 不同入射粒子逃脱初始复合的空穴的产额与  $\text{SiO}_2$  中电场强度的关系

Fig.4-2 Relation between the percent of the escaped hole and electric field for different injecting particles

不同电荷类型在介质中有不同迁移率。 $\text{SiO}_2$  中电子迁移率为  $20\text{cm}^2/(\text{V} \cdot \text{s})$ ，空穴为  $1 \times 10^{-5} \text{cm}^2/(\text{V} \cdot \text{s})$ ，相差 6 个数量级。辐射产生的电子被外加电场拉出氧化层后，在迁移过程中被栅极所收集的时间量级为 ps 量级。氧化层中因辐照而长期存在的主要是空穴，而空穴运动较慢滞留在氧化层中，因此空穴的产生、运输、俘获、释放是引起器件损伤的主要因素<sup>[33]</sup>。在电子掠过氧化物并被收集之前，电子—空穴对要发生复合。逃脱复合的空穴的百分比  $f_y$ ，决定了最终空穴产额。图 4-2 表示对于不同种类入射粒子，实验测得  $f_y$  与  $\text{SiO}_2$  中电场强度的关系<sup>[34]</sup>。从图中可以看出，不同能量、不同种类粒子，其未复合的空穴百分比不同；同一能量、同一粒子，氧化物上电场大的空穴产额高，反之则低。

初始空穴产额主要由两个因素确定：一是氧化物上的电场，它促使电荷对分离；二是入射辐照粒子产生的电子/空穴对初始线密度。电荷对线密度是由入射粒子的线性能量传输（LET）确定的，是入射粒子种类及能量的函数。它反比于电子/空穴对之间的平均距离。显然，电子/空穴对之间的距离越短，即 LET 值越大，在给定的条件下复合就越多，因而最终空穴产额就越少。对于任意的电子/空穴对线密度的初始复合问题，还不存在解析解。名义上解析解在两种极限条件下确实存在：一是电荷对分离很远（双子模型）二是电荷对很靠近（柱状模型）。区分这两种状

况的特征距离是单个电子/空穴对的热化半径, 即该对在失去过剩动能并且达到热平衡能量时所处的平均距离,  $\text{SiO}_2$  的平均热化距离是 8nm, 高能电子 LET 值小, 在其径迹上产生的电荷对密度也小。1MeV 电子产生的电荷对平均距离是  $\sim 50\text{nm}$ 。由于高能电子所产生的电荷对平均距离大, 复合很少, 因此, 最终的空穴产额就很大。而象  $\alpha$  粒子、质子和其它带电粒子那样的高能量转换粒子, 在其径迹上产生的电荷对密度虽然高, 但 1MeV 质子产生的电子/空穴对平均距离为 0.3nm, 复合得多, 最终空穴产额少<sup>[15]</sup>。

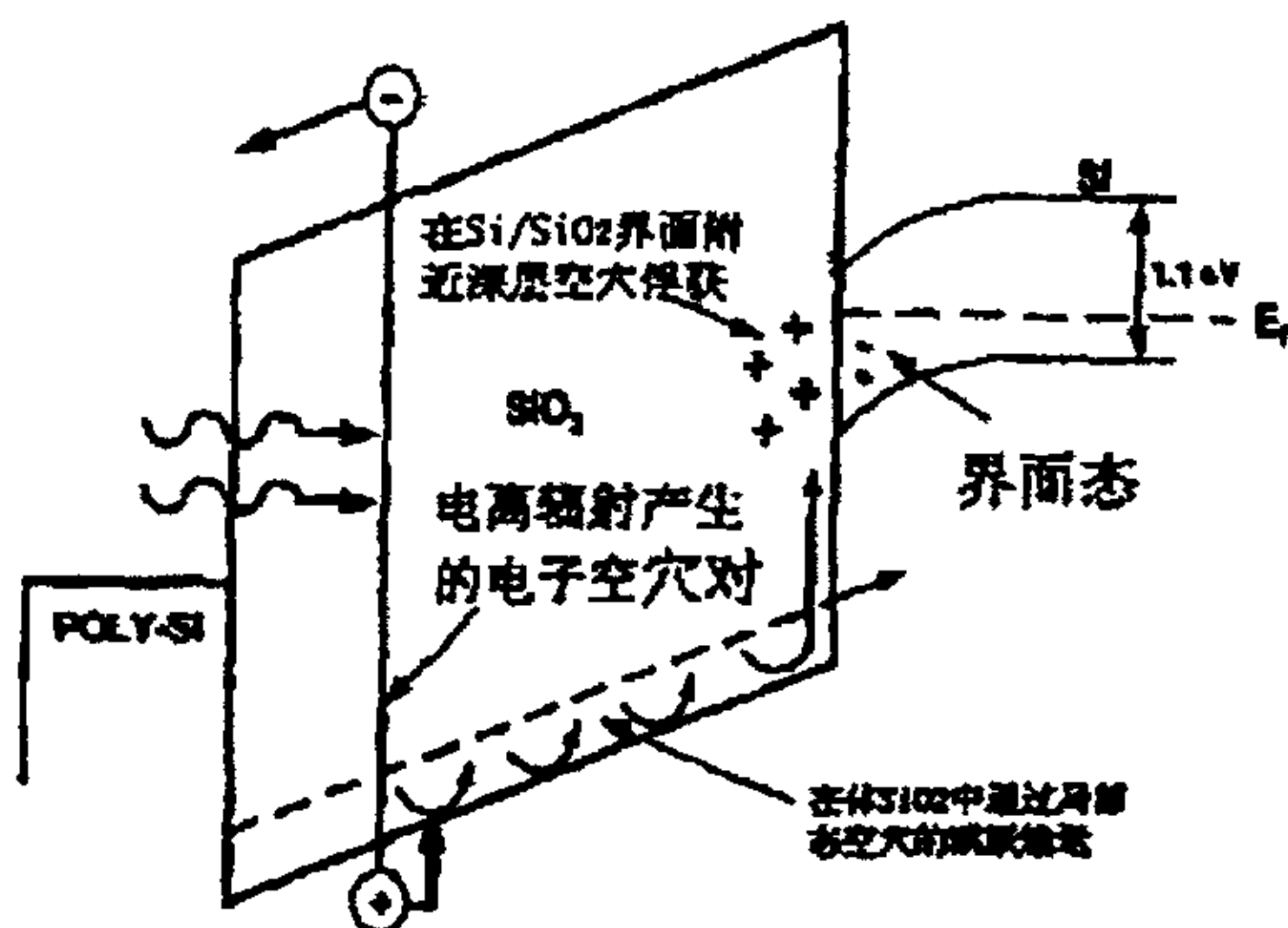


图 4-3 正栅极偏压下  $\text{SiO}_2$  MOS 结构的能带图

Fig. 4-3 The energy-band diagram of  $\text{SiO}_2$  MOS structure with positive bias

图 4-3 为正栅极偏压下  $\text{SiO}_2$  MOS 结构的能带图。它给出了辐射响应随时间变化的重要物理过程<sup>[15]</sup>。这些物理过程分别为:

1. 在第一或第二个 ps 之内, 部分电子和空穴复合, 最初没有被复合的空穴留在它初始产生的附近位置。

2. 从  $10^{-7}$  秒到秒的时间范围, 在电场的作用下, 空穴在氧化物中承受不规则的随机传输。

3. 当空穴到达  $\text{SiO}_2$  界面时, 一部分会在深层陷阱中被俘获。它们对 Si 表面的电位不灵敏, 可以持续几小时到几年。在接近 Si/  $\text{SiO}_2$  界面上空穴的长期俘获以及它们接着被释放时是第三个过程。

4. 在 Si/  $\text{SiO}_2$  界面上辐射引起界面俘获和累积, 这些就是在 Si 能隙

的局部能量态。这些能态的占有率由界面上原来能级的位置所决定。因此，辐射引起的界面俘获与硅表面电位有关，一般说来，既有辐照之后立即出现的瞬态界面陷阱，也有室温下滞后的时间相关态的累积，它们可以持续几万秒<sup>[37,38]</sup>。

在  $\text{SiO}_2$  中的深层陷阱俘获形成的氧化物陷阱电荷几乎与瞬时电离辐照同时建立 ( $\sim 1\mu\text{s}$ )。由于硅片中电子隧道效应使得深层俘获退火过程一直存在，陷阱作长期的退火，隧道电子的复合距离为几个 nm，所以深层俘获电荷存在于离  $\text{Si}/\text{SiO}_2$  界面约  $5\text{nm}\sim 30\text{nm}$ ，图 4-4 给出深层陷阱俘获和界面陷阱的积累。

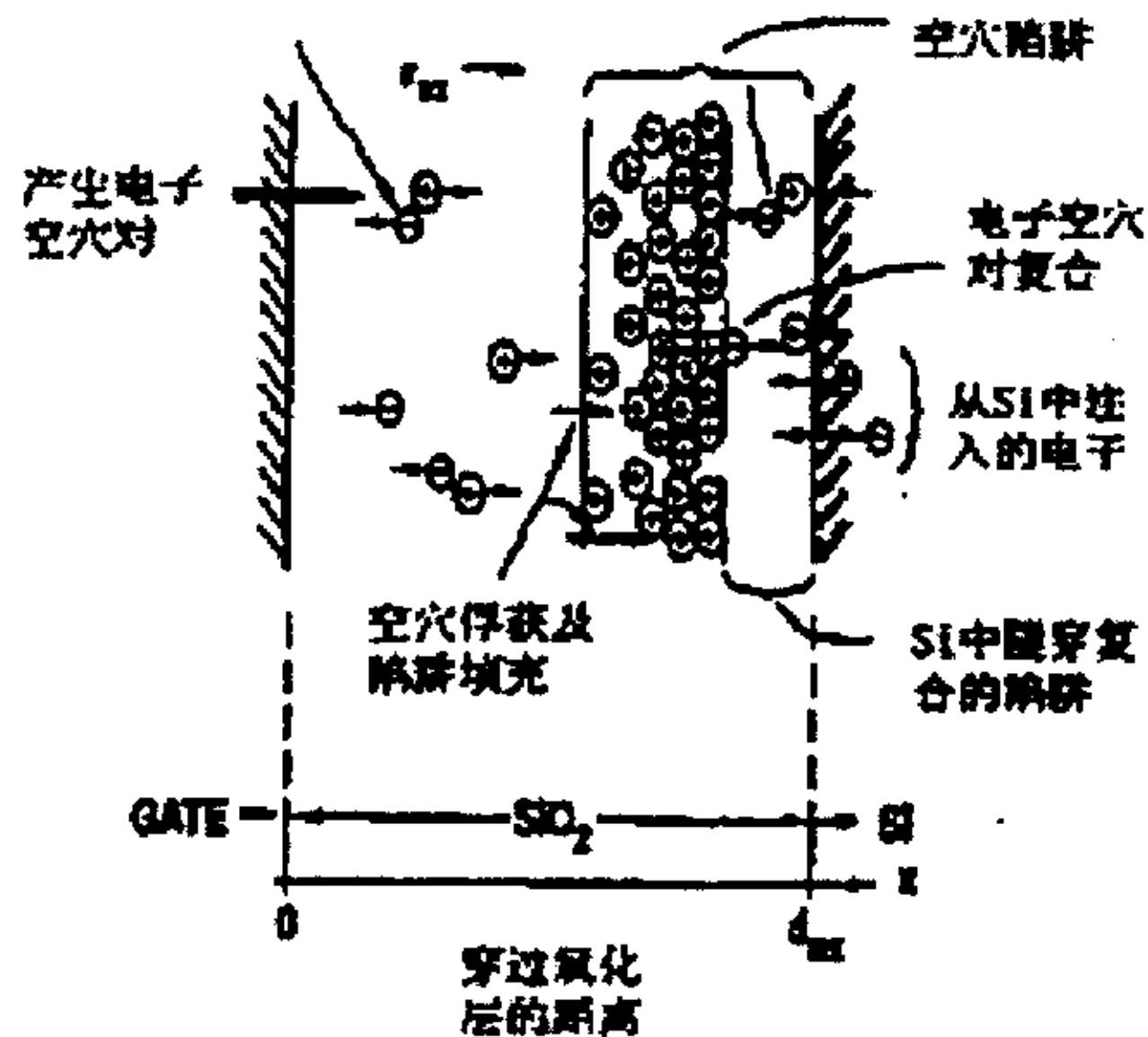


图 4-4 深层陷阱俘获和界面陷阱的累积

Fig.4-4 The accumulation of oxide and interface trap charges

界面态陷阱电荷从时间上划分有三种成份：瞬时界面态 (Prompt Interface States)，建立时间  $\sim 1\mu\text{s}$ ；快界面态 (Fast Interface States)，在辐照后毫秒到秒的期间内建立，对 Si 栅器件，辐照后  $10\text{ms}$  所建立的界面态已达到饱和值的 75%；慢界面态 (Slow Interface States)，建立时间从秒到上千秒。截止目前为止，还没有能够完全解释感生界面态的产生机理。已建立了几种模型可以解释许多实验现象。主要包括三种模型：H 模型、注入模型和应力模型<sup>[39,40]</sup>。

无论是工艺还是辐照产生的界面态有几个基本特征<sup>[41,42]</sup>。

1. 界面态位于靠近  $\text{Si}/\text{SiO}_2$  界面  $1\sim 2$  个原子键的距离 (约  $0.5\text{nm}$ )。因此可以与 Si 导带和价带交换电荷。

2. 界面态的净电荷可以是正、负和中性三种状态。因此根据其电荷状态可分为施主型和受主型，并依赖于表面势与费米能级的相对位置。当施主型界面态位于费米能级以下时将处于中性电荷态，而当它位于费米能级以上由于释放出一个电子将变成正的电荷态；当受主型位于费米能级以上时为中性电荷态，位于费米能级以下时由于接受一个电子将变成负的电荷态。MOS 器件加不同的偏压，使界面态能级相对于费米能级上下移动。当它跨过费米能级时，改变了界面态的电荷态。

3. 工艺产生的界面态在 Si 禁带中的分布一般呈 U 型，而辐照产生的界面态大部分呈现连续分布的特征峰，这些峰主要位于禁带上半部 0.2~0.3eV 处，在一定条件下（如退火）可以从禁带上半部转移到禁带下半部。

影响辐射感生界面态的因素主要有辐照时间、辐照剂量、辐照剂量率、辐照环境温度及工艺条件等因素。

1. 辐照时间。辐照后不同时间对应界面态不同成份（瞬时界面态、快界面态、慢界面态）。

2. 辐照剂量。辐照感生界面态产额随累积剂量呈  $2/3$  次方规律增加，有资料表明，当总剂量达到  $0.2 \times 10^6 \text{Gy}$  (Si) 界面态趋于饱和<sup>[11]</sup>。

3. 辐照剂量率。辐照剂量率对界面态生长速率有较大影响。发现小剂量率辐照产生的界面态大于大剂量率辐照，但也有资料表明，界面态的生长速率在各种剂量率下都是一样的，只要高剂量率辐照的退火总时间等于低剂量率下的辐照时间。

4. 辐照环境温度。界面态产生速率依赖于环境温度。在 77K 时界面态几乎停止生长，随着温度的升高界面态的产生速率逐渐提高。在同一温度下，随着辐照时间的延长，最终界面态的生长将出现饱和。

5. 工艺条件。器件的工艺细节与界面态的产生有很强的依赖关系。有资料表明，Si 栅器件的辐照感生界面态多于 Al 器件；界面态随栅氧厚度的增加而增加；增大 MOS 结构的压缩应力可以抑制界面态的生长。

#### 4.3 电离辐射效应对 MOS 器件造成的影响

辐射粒子穿进物质，与物质中的电子相互作用，把自身的能量传给电子，如果电子由此获得的能量大于它的结合能（有效的激发要求入射



辐照粒子的能量高于材料禁带宽度的三倍), 电子就会脱离原子核对它的束缚成为自由电子, 而原子则变成了带电离子 (形成电子-空穴对)。这一过程称为电离辐射效应。

电离效应对 MOS 器件的影响主要体现在电离辐射会使 MOS 管产生三种表面缺陷:

(1) 氧化层正电荷。电离辐射使器件表面氧化层中的  $\text{SiO}_2$  价键断裂, 产生电子-空穴对。由于电子在  $\text{SiO}_2$  中的迁移率远大于空穴, 所以在氧化层电场作用下, 辐射诱生的电子总是作定向运动, 最终被扫出氧化层, 留下来的空穴被  $\text{SiO}_2$  中的空穴陷阱俘获, 形成正的空间电荷, 使氧化层正电荷密度增加。电离辐射诱生氧化层电荷的数量还与所加栅压有关。 $\text{SiO}_2$  膜中空穴陷阱分布主要集中在 Si- $\text{SiO}_2$  界面附近, 所以在正偏压作用下, 辐照感生的空穴向 Si- $\text{SiO}_2$  界面运动, 更容易被陷阱所俘获, 因而产生的正电荷密度要比在负栅压作用下大的多。

(2) Si- $\text{SiO}_2$  界面陷阱。电离辐射使 Si- $\text{SiO}_2$  界面处的饱和悬挂键破裂, 引入新的界面能级, 使界面陷阱密度增加。

(3) 氧化层表面可动离子。在电离辐照下, 器件管壳内部的气体也会发生电离, 引起管芯表面可动离子的累积。

MOS 栅氧化层在电离辐射下引起的 MOS 结构二氧化硅/硅界面系统陷阱电荷的变化, 在宏观上即表现为 MOS 器件电学参数的变化, 所以对栅介质辐照效应的研究大多都是通过辐射对 MOS 晶体管的影响来分析研究的。在下一章, 我们将要展开一些实验加以分析研究。

#### 4.4 小结

本章主要讲述了电离辐射效应的基本原理, 分别从电离辐射环境和效应、MOS 结构器件的电离辐照效应以及对 MOS 器件所造成的影响几个方面进行了叙述。本章的内容为下一章辐照实验提供了理论基础以及分析研究的依据。

## 第五章 辐照实验与结果分析

在 VLSI 的生产过程中, 由于 X 射线的波长小于可见光波长, 采用 X 射线光刻技术具有较高的空间分辨率, 能满足 VLSI 细微加工的需要。然而, 采用 X 射线光刻技术有可能引起 CMOS 电路的 X 射线辐射损伤。

CMOS 电路的 X 射线辐射损伤失效主要由栅氧化层损伤和氧化层-半导体界面损伤引起, 观察 MOS 器件栅氧化层的 X 辐射损伤效应并进行失效机理分析, 对于评价和提高军用 MOS 器件和电路的核辐射加固能力有重要意义。

鉴于国内开展 X 射线剂量增强效应研究尚处于起步阶段, 本章研究了  $0.6\mu\text{m}$  的 nMOS 器件的  $12.5\text{nm}$   $\text{SiO}_2$  栅介质的在辐照偏置下的 X 射线辐照特性, 首先测试了 X 射线辐射试验前后样品的转移 ( $I_{ds} \sim V_{gs}$ ) 特性和阈值电压 ( $V_t$ ) 等参数的变化情况, 根据实验结果对栅氧化层损伤机理进行了分析, 接着对不同剂量率及总剂量下接地栅 nMOS 器件二次击穿情况进行了研究, 分析了其对 ESD 电学参数的影响, 探讨了在辐射环境下 CMOS 电路抗 ESD 能力的变化规律。

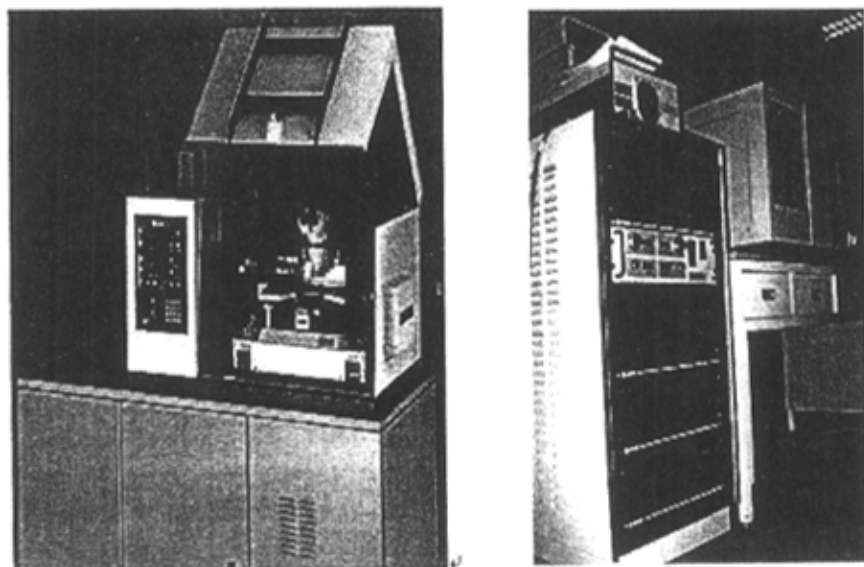


图 5-1 4100 型自动半导体辐射系统

Fig.5-1 Model 4100 automatic semiconductor radiation system

## 5.1 实验仪器、样品以及试验条件

本试验是在电子工业部第五研究所分析测试中心完成的，所采用的辐射设备是五所提供的 4100 型自动半导体辐射系统。4100 型自动半导体辐射系统是一套 X 射线测试和检测系统，该装置可以提供很宽剂量率范围  $[0.4 \text{ Krad}(\text{Si})/\text{min} \sim 300 \text{ Krad}(\text{Si})/\text{min}]$  的 X 射线，满足 MOS 器件电离辐射效应研究工作的要求。其系统装置图见图 5-1。

实验中所用的样品是由某公司提供的 nMOS 场效应管，宽长比 (W/L) 为 10/0.6，栅氧化层厚度为 12.5nm，其版图与样品照片如图 5-2 所示。

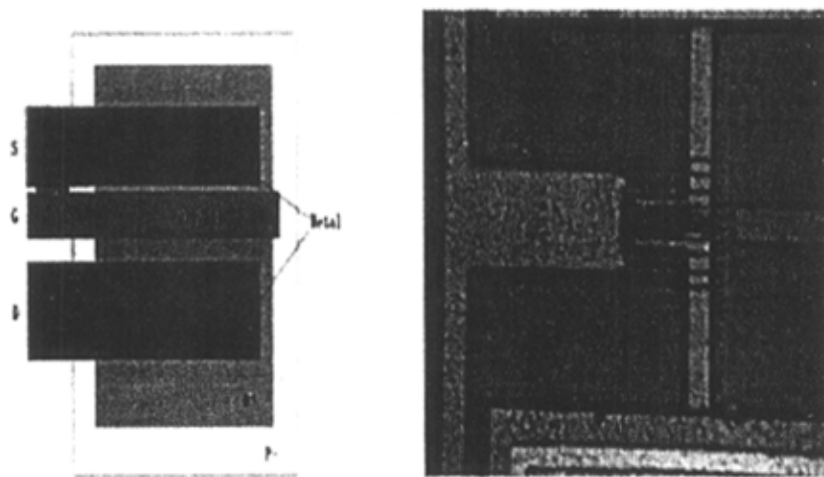


图 5-2 辐照试验用 NMOSFET 版图及样品照片

Fig. 5-2 Sample structure for the radiation test

试验中，通过改变辐射剂量、辐射剂量率两个参量来观察器件阈值电压、转移特性的变化。实验选取的 X 射线总剂量有： $1 \text{ Krad}(\text{Si})$ 、 $5 \text{ Krad}(\text{Si})$ 、 $10 \text{ Krad}(\text{Si})$ 、 $50 \text{ Krad}(\text{Si})$ 、 $100 \text{ Krad}(\text{Si})$ 、 $500 \text{ Krad}(\text{Si})$ 、 $1 \text{ Mrad}(\text{Si})$ ，剂量率有： $0.4 \text{ Krad}(\text{Si})/\text{min}$ 、 $3 \text{ Krad}(\text{Si})/\text{min}$ 、 $10 \text{ Krad}(\text{Si})/\text{min}$ 、 $50 \text{ Krad}(\text{Si})/\text{min}$ 。

## 5.2 X 射线辐射结果与分析

对器件 X 射线电离辐射结果是分两部分来加以分析研究的，第一部



分是通过对辐射前后 NMOS 器件转移特性曲线与阈值电压的变化来进行分析讨论, 第二部分则用 TLP(Transmission Line Pulse)技术研究了辐射对栅接地 NMOSFET 管的 ESD 电学参数的影响, 由于 TLP 技术是一种新兴起的 ESD 测试方法, 国内对它的了解并不多。所以在第二部分中详细介绍了 ESD 参数测试的 TLP 实验。

### 5.2.1 X 射线辐射对 MOS 器件转移特性曲线与阈值电压的影响

辐射前后 MOS 器件转移特性曲线的测量和阈值电压参数提取是通过 HP-4155 半导体精密参数分析仪、器件测试架组成的半导体参数自动化测量系统完成的, 为了减少退火效应, 要保证每次测量在 0.5h 内完成。以下结果均是在偏置条件 ( $V_s = V_b = 0V$ ,  $V_d = 0.1V$ ) 下进行测量的:

#### (1) 辐射前后 $I_{ds} \sim V_{gs}$ 转移特性曲线的变化

对编号为 a 的样品进行 X 射线辐照, 辐照条件为: 辐照剂量率为 3 K rad(Si)/min、辐照剂量为 5K rad(Si)。分别测定其辐射前后 NMOS 管的转移特性, 试验结果如图 5-3 所示, 我们发现编号为 a 的样品其电特性发生退化, 主要体现在  $I_{ds} \sim V_{gs}$  曲线的变化上(其它样品也发生类似的变化)。

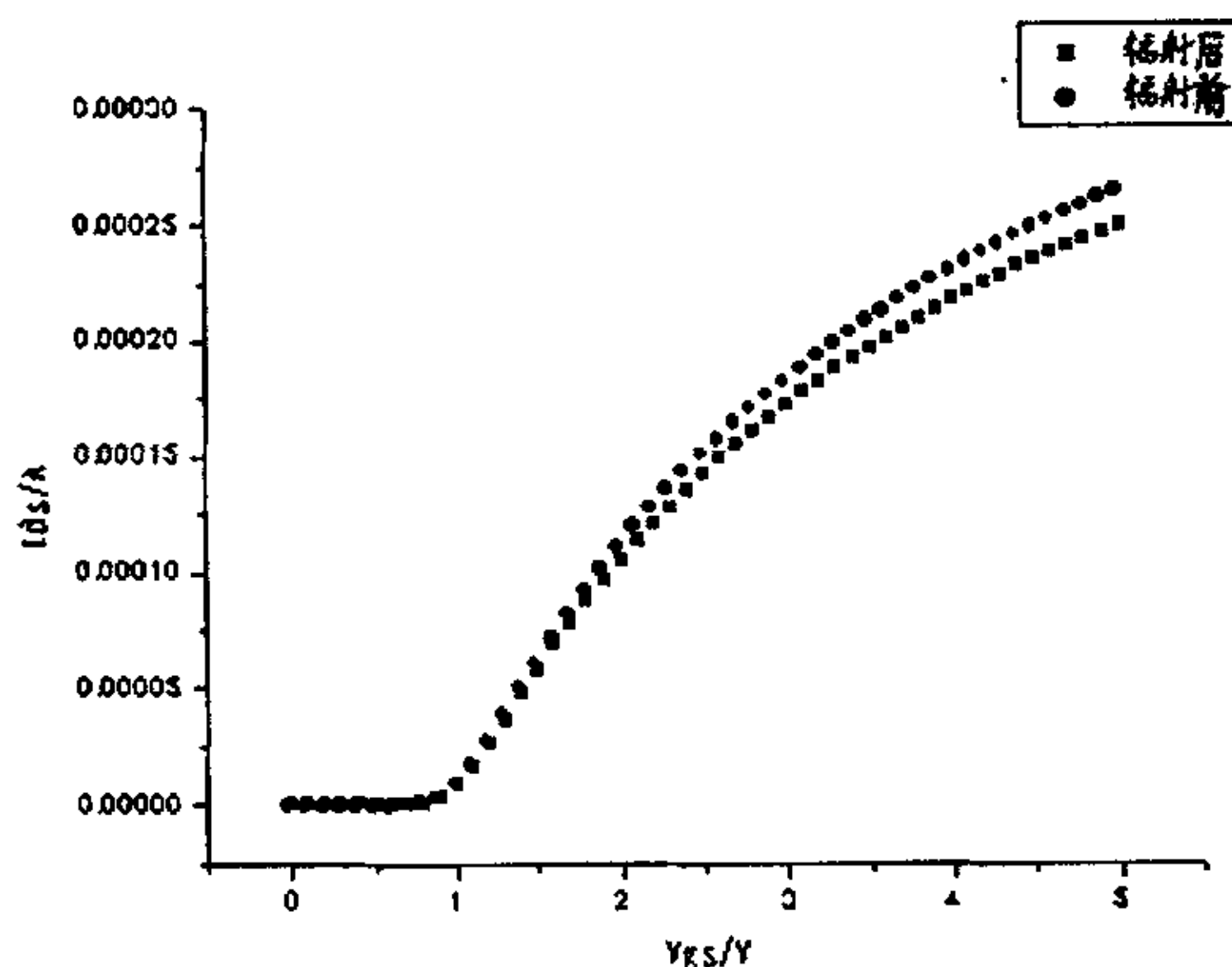


图 5-3 辐射前后  $I_{ds} \sim V_{gs}$  转移特性曲线的变化

Fig.5-3 The variation of  $I_{ds} \sim V_{gs}$  curve before and after radiation

图 5-3 表明, n 型 MOSFET 在 X 射线辐照后,  $I_{ds} \sim V_{gs}$  转移特性曲线向负方向漂移, 使得阈值电压相应减小。 $I_{ds} \sim V_{gs}$  曲线向负方向漂移是由电

离辐照引起的氧化层俘获正电荷在栅介质层中累积引起的。这是由于本工作的样品采用 N 沟道增强型 MOSFET，阈值电压为正值，在 X 射线辐照前，要加某一定栅极正电压  $V$  才能使衬底表面开始产生强反型，在 X 射线辐照后， $\text{SiO}_2$ -Si 界面存储了正电荷，这个正电荷在衬底表面也会产生的一个电场强度，那么只要加相对小些的电压值  $V_1$  就能使衬底表面开始产生强反型。

因此，X 射线辐照后 nMOSFET 的阈值电压减小。

## (2) 不同辐射剂量对 NMOSFET 转移特性曲线的影响

对编号为 b、c、d、e 四样品以相同剂量率 1 K rad (Si) /min 分别以不同剂量 5 K rad (Si)、10 K rad (Si)、50 K rad (Si)、100 K rad (Si) 加以辐照。测试结果如图 5-4 所示。

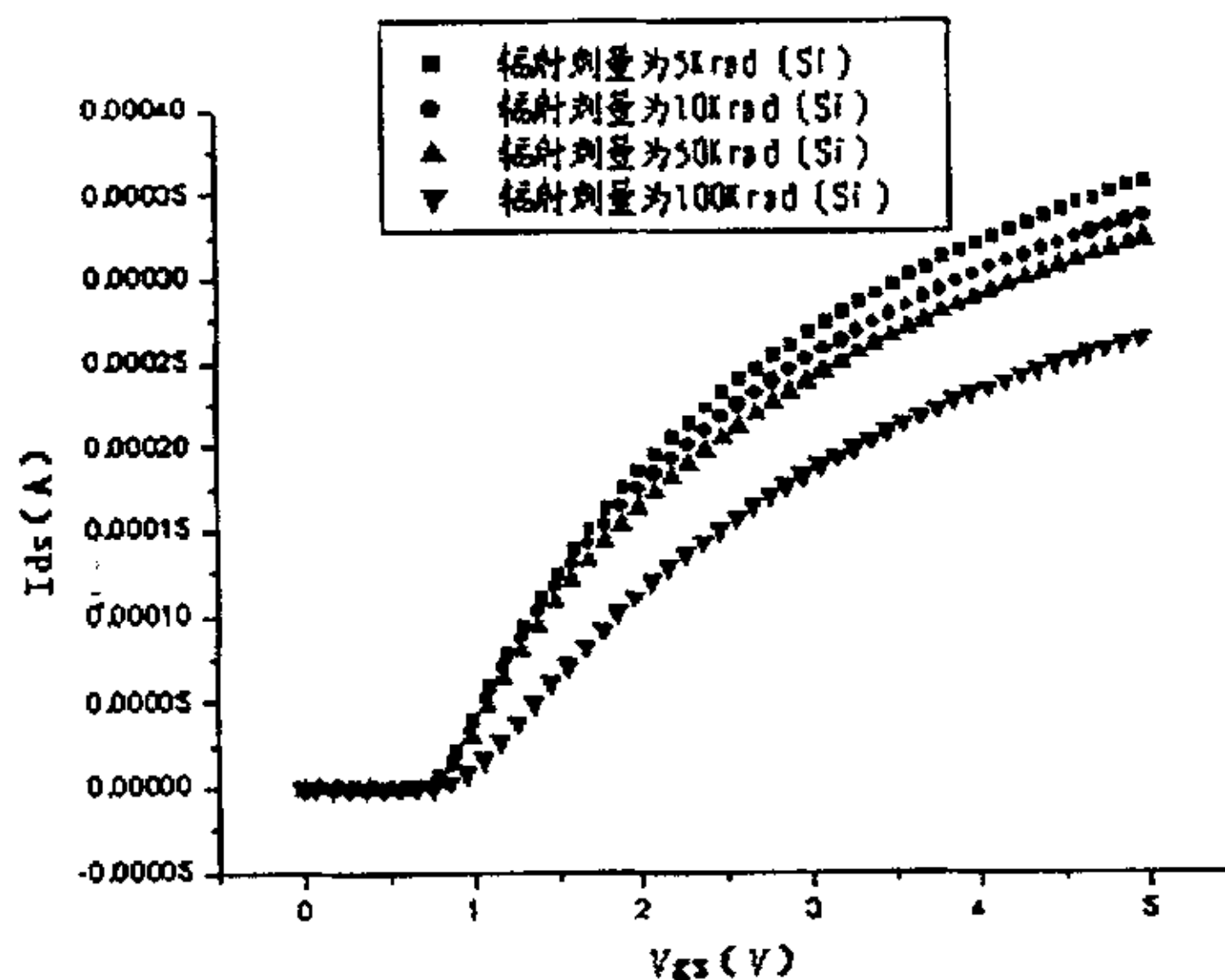


图 5-4 不同辐射剂量下 NMOS 管  $I_{ds} \sim V_{gs}$  曲线的变化

Fig.5-4 The variation of  $I_{ds} \sim V_{gs}$  curve with different total irradiation dose

图 5-4 为同一剂量率四种不同总剂量条件下 NMOS 管的  $I_{ds} \sim V_{gs}$  转移特性曲线，从图中，我们发现随着电离辐照剂量的增加， $I_{ds} \sim V_{gs}$  转移特性曲线都向负方向漂移，同时曲线斜率变小。 $I_{ds} \sim V_{gs}$  转移特性曲线向负方向漂移是由电离辐照引起的氧化层俘获正电荷在栅介质层中累积引起的，而曲线斜率变小则主要归因于辐照引起的 Si/SiO<sub>2</sub> 界面陷阱的影响。

在图 5-4 所示的 NMOS 器件中，其亚阈值斜率的变化很小，这说明辐照引起的界面陷阱较少，对沟道载流子的散射作用不是很大。

### (3) 不同辐射剂量率对阈值电压漂移量 $\Delta V_T$ 的影响

目前研究已经证实，CMOS 器件的辐照效应受辐射剂量、辐射剂量率、辐射时间、温度、生产工艺等多种因素的影响。其中，辐射剂量率对辐照效应的影响尤为重要，受不同的剂量率辐射后，器件的失效机理和失效水平是不同的。图 5-5 给出了 NMOS 器件受不同剂量率 X 射线辐照时，阈值电压随辐照剂量的变化关系（每种剂量均使用了四个样品，结果取平均值）。

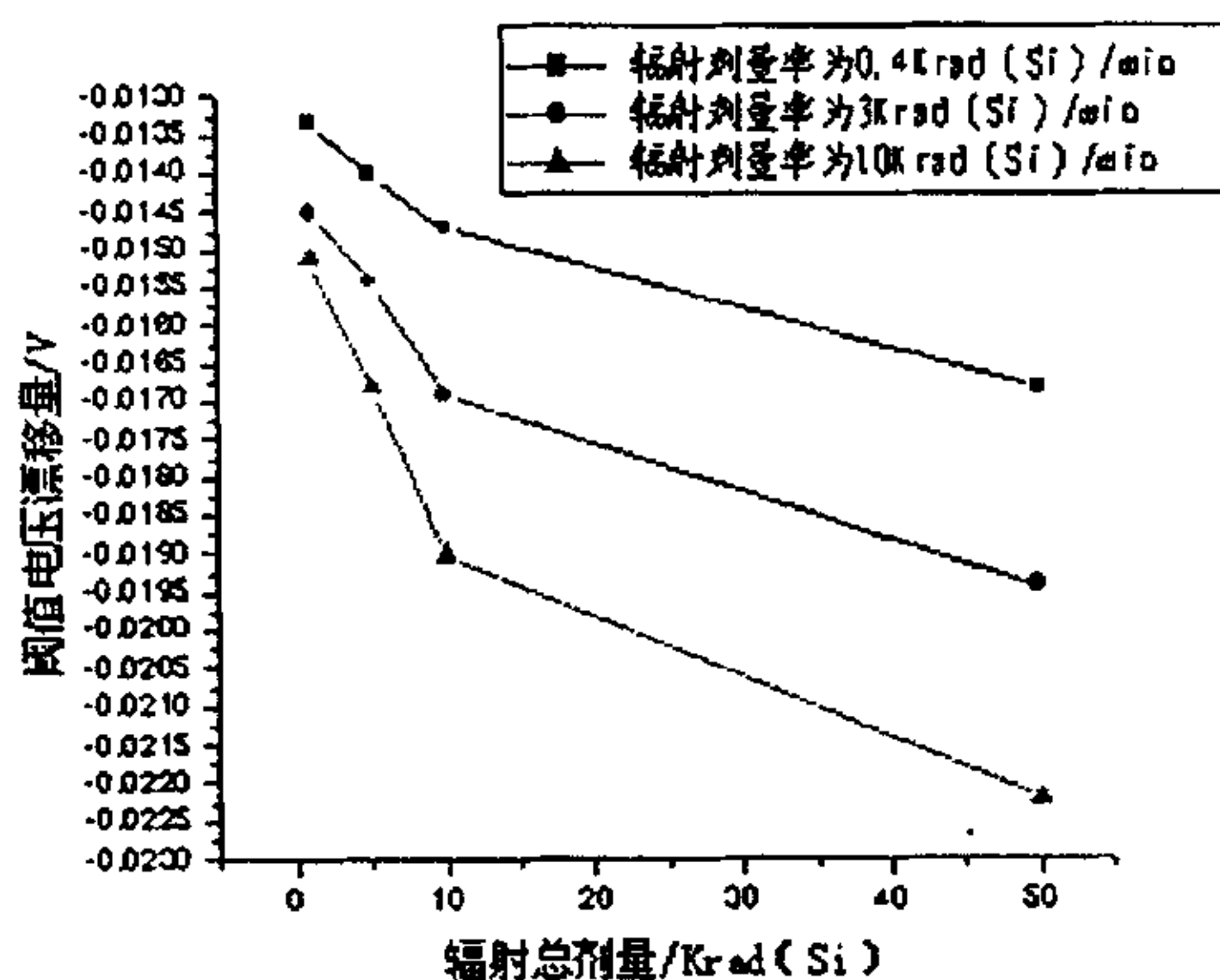


图 5-5 不同剂量率下阈值电压漂移量的变化

Fig. 5-5 The shift of threshold voltage with different radiation dose rate

从图 5-5 中我们可以看出，阈值电压随辐射剂量的增加而向负方向增加，这是因为相对低剂量辐射而言，在高剂量辐射下，辐射感生的电子—空穴较多，辐射诱导的感生电荷亦较多所致。同时，从图中我们还观察到：受不同剂量率辐射时，器件阈值电压的漂移程度不一样。在相同的剂量照射的情况下，阈值电压的漂移量随剂量率的增加而增加。这是因为在不同剂量率辐照下，氧化的陷阱电荷和界面电荷的相对密度大小不同，导致阈值电压的漂移量发生差异。由于辐射时间比较长，在低剂量率下的效应，是氧化物陷阱电荷随时间的增加产生的退火效应与界

面态陷阱电荷随时间的增加而增长效应的综合；在高剂量率下，失效主要由氧化物陷阱电荷引起的阈值电压负向漂移导致；在剂量率适中的情况下，氧化物陷阱电荷量一定程度的下降，界面态陷阱则一定程度的增加，两者的效应可能会抵消。不同剂量率下的效应不同，主要是氧化物陷阱电荷和界面态陷阱的贡献有差异。

### 5.2.2 X射线辐射对栅接地 nMOSFET 抗 ESD 特性的影响

VLSI 电路不断向高性能、低功耗、高密度的方向发展，对可靠性的要求也越来越高。随着 CMOS 电路尺寸的不断缩小，作为 VLSI 电路可靠性的一个主要失效机理，ESD 带来的损伤已经成为当前 VLSI 电路的致命威胁，ESD 也得到了越来越多的关注。

总剂量注入对 CMOS 电路的影响已有一些研究，而对 CMOS 电路常用的 ESD 保护电路的影响研究不多，这里利用 4100F 半导体辐射系统及自制的 TLP 测试系统，研究了栅接地 nMOSFET's (ggnMOS) 在大电流下的作用机理，通过对不同剂量率及总剂量下 ggnMOS 二次击穿电流的变化研究，探讨了在辐射环境下 CMOS 电路抗 ESD 能力的变化规律。

#### 5.2.2.1 TLP 测试技术

本实验利用集成电路抗 ESD 设计中的 TLP (Transmission Line Pulse) 测试技术研究辐射对 NMOS 管的 ESD 电学参数的影响。

作为人体模型 (HBM) 的 ESD 测试替代方法，TLP 表示传输线脉冲测试是一种用短脉冲 (50~200ns) 来测量集成电路内 ESD 保护电路电流/电压特性的方法。这个短脉冲用来模拟作用于集成电路的短 ESD 脉冲，恒定阻抗的传输线可以产生恒定幅度的方波。

TLP 测试是把方波测试脉冲加到待测器件 (DUT) 的两脚之间进行测试。将测试脉冲引到 DUT 上最常用方法是从一接地的  $56\Omega$  电阻和一个与待测的 DUT 脚串联的  $500\sim 1500$  电阻之间引出脉冲，公共脚连到地以提供脉冲电流回路。测试时将这个脉冲加到器件的测试结构上，同时通过高精度的示波器测量其两端的脉冲电压及流过的脉冲电流。图 5-6 为本试验自制的 TLP 测试系统。系统主要由电源电压、示波器、电路板三部分构成。通过适当的测试结构和测试参数，可以评价金属、多晶、单个晶体管以致整个电路的 ESD 水平。

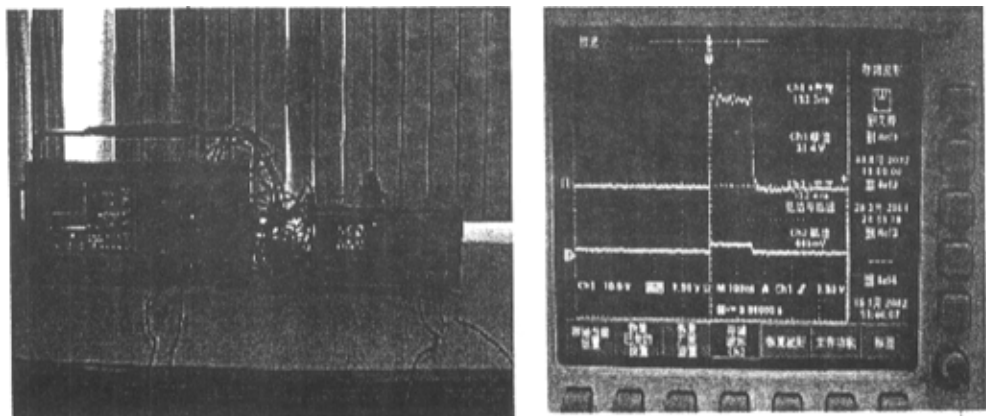


图 5-6 研制的 TLP 测试系统

Fig.5-6 TLP test system

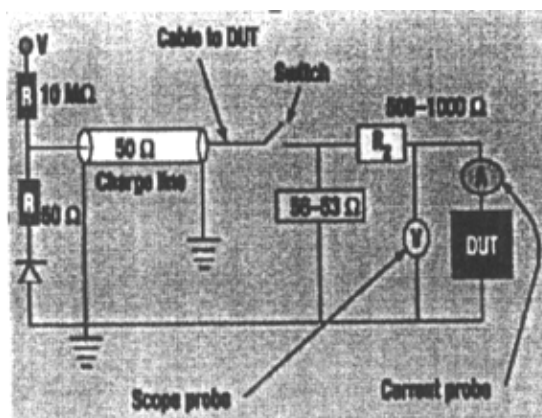


图 5-7 TLP 测试的电路图

Fig.5-7 Circuit Diagram of TLP Test

图 5-7 为 TLP 方法的基本结构图， $R_L$  和后面的二极管为一个抑制负载网络，主要目的是当电脉冲接入到被测器件上后，抑制线路中的反射脉冲。传输线首先被充电到高电压，然后对要测试分析的器件放电。这与给一个电容器充电然后对器件放电的情况类似，但电容器充放电产生的电流波形很复杂，而传输线方法则避免了这种情况。图 5-8 为产生的典型 TLP 脉冲曲线。脉冲宽度  $t = 2L/C$ ，这里为传输线的长度； $C$  为传输速率，通常  $C = 20\text{cm/ns}$ 。

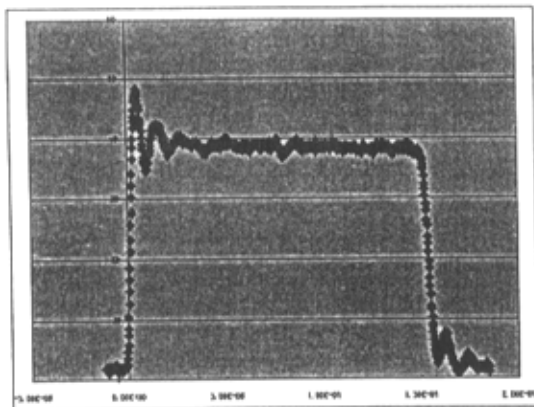


图 5-8 典型的 TLP 脉冲

Fig. 5-8 Typical TLP Pulse

TLP 测试前要先对电路中的传输线充电, 测试时, 按下开关将被测器件接入, 传输线通过被测器件放电, 改变电路的输入电压或传输线的长度可以模拟在不同能量中的 ESD 脉冲, 从而得到器件的抗 ESD 的能力。由于改变传输线的长度来模拟不同能量的 ESD 脉冲不是很方便, 所以通常我们通过改变总电路的输入电压来模拟不同能量的 ESD 脉冲。TLP 测试先从小电压脉冲开始, 随后连续增加直到获得足够个数据点, 作出完整的  $I-V$  曲线。电压增加的步长可自由选择, 对感兴趣的区域可选择较小的步长, 得到更多的数据点, 对某些不感兴趣的区域其步长可选大一些, 加快实验的进度。通常测试脉冲的幅度会增大到使 DUT 彻底损伤, 从而获得其精确的允许最大脉冲电流。当脉冲测试的幅度足够高时, DUT 内将产生足够高的温度使 DUT 内的某些结构熔融, 使器件特性发生永久的破坏, DUT 彻底损伤, 损伤发生的同时经常伴随着被测两脚之间的漏电流突然增加。从测得的  $I-V$  曲线中可以提取触发电压和触发电流、维持电压和维持电流以及二次击穿电压和二次击穿电流, 这些参数对用栅接地的 MOS 晶体管来构成 ESD 保护电路的设计是非常重要的。

#### 5.2.2.2 ESD 作用下的 nMOSFET 工作原理

栅接地 nMOSFET(ggnMOS)是构成 ESD 保护电路的一个重要组成部分, 设计良好的 ggnMOS 不仅可以为内部电路提供基本的 ESD 保护, 而且可以与其余电路单元一起组成稳定有效的 ESD 保护电路, 保证 VLSI 电路的 ESD 可靠性。表征 ggnMOS 抗 ESD 能力的一个重要参数是其二次击穿电流

$(I_{i2})^{[10,11]}$ 。

图 5-9 是一个典型的 nMOSFET' s 及其寄生的横向 npn 晶体管示意图, 其中  $R_{sub}$  为衬底电阻; 图 5-10 是在 ESD 作用下 ggnMOS 的典型 I-V 特性曲线, 其中  $V_{i1}/I_{i1}$  为开启电压/电流,  $V_h$  为维持电压,  $V_{i2}/I_{i2}$  为二次击穿电压/电流。当在漏极和  $V_{ss}$  之间施加一个正向 ESD 脉冲应力时, 漏电压上升直至反偏的漏/衬底 ( $n^+/P^-$ ) 结发生雪崩击穿, 在这个过程中, 高压电场在耗尽区产生了电子/空穴对, 电子进入漏极而空穴进入衬底, 衬底中由于离子碰撞产生的空穴流使衬底电位升高, 衬底电位上升到足够大时, 衬底和源之间变成正向偏置, 结果使横向 npn 管开启 ( $V_{i1}$ ), 电子从源极注入到漏极, ggnMOS 进入负微分电阻区, 电压基本不变 ( $V_h$ ), 电流迅速增加。这样 ESD 应力产生的大电流就由寄生的双极晶体管承担了, 通过寄生的双极 npn 晶体管, ESD 产生的强电流被泄放到地, 有效的保证了内部电路的安全性。若电流继续上升超过寄生晶体管的二次击穿电流 ( $I_{i2}$ ) 就会发生二次击穿, 二次击穿是热击穿, 一旦发生二次击穿, 器件就会受到损伤, 二次击穿电流反映了器件的 ESD 强度。

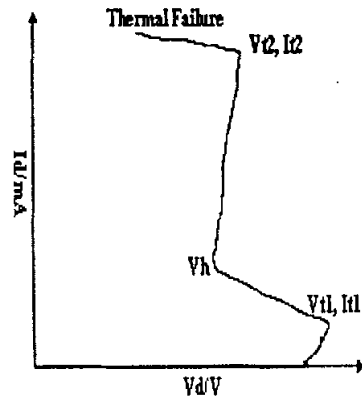
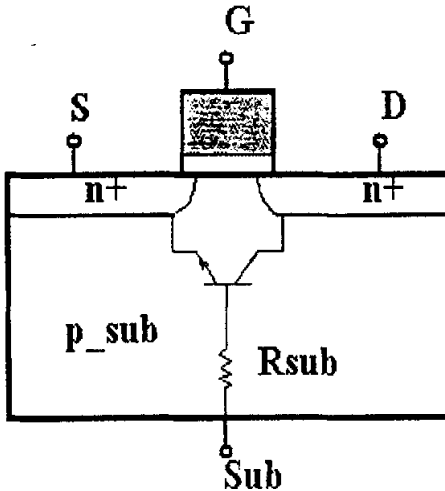


图 5-9 NMOS 晶体管及其寄生横向 npn 管

图 5-10 nMOSFET 的典型 I-V 特性曲线

Fig.5-9 Structure of NMOS transistor

Fig.5-10 Typical I-V Characteristic Curve of nMOSFET

从图 5-10 可以看到, 当 ESD 电压超过寄生 npn 管的开启电压  $V_{i1}$  后, nMOSFET 进入负微分电阻区, 电压保持在维持电压  $V_h$ , 同时为 ESD 电流提供泄放回路, 如果 ESD 电流超过了晶体管的二次击穿电流  $I_{i2}$ , 晶体管就会被击穿烧毁。因此为了得到良好的 ESD 能力, 通常需要的就是降低  $V_{i1}$  和增加  $I_{i2}$ , 增加  $I_{i2}$  最常用的方法是增加保护管的面积 (采用多指条晶体管), 其结构就相当于多个单指条的 nMOSFET 并联在一起<sup>[10]</sup>。

## 5.2.2.3 试验设计以及结果分析

试验采用的样品与辐射试验的样品来源一致，宽长比为 10/0.6 的 nMOSFET。为了排除因设计误差引起的多指条触发不均匀的情况，使用了单指条结构。栅氧化层厚度  $t_{ox}=12.5\text{nm}$ ，辐射源为信息产业部电子五所的 Model4100 X 射线半导体辐射系统。此实验中，我们加大了辐射剂量和剂量率的跨度，剂量率分别采用  $0.4\text{Krad(Si)/min}$  和  $50\text{Krad(Si)/min}$  对 nMOSFETs 作总剂量试验，总剂量包括  $1\text{k}/10\text{k}/50\text{k}/100\text{k}/500\text{k}/1000\text{rad(Si)}$ ，每种总剂量至少使用 4 只样品，实验结果取平均值。试验前后用  $100\text{ns}$  宽的 TLP 测试系统测试 ggnMOSFET 的开启电压  $V_{th}$ 、维持电压  $V_h$  和二次击穿电流  $I_{t2}$ 。

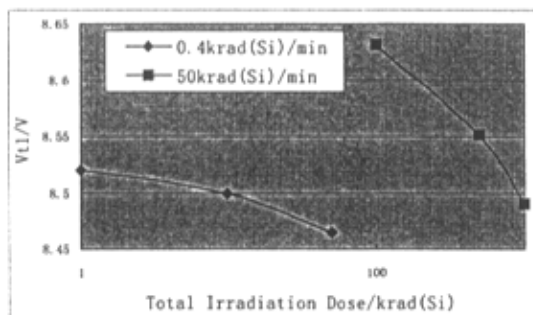
图 5-11  $V_{th}$  与辐射总剂量的关系Fig.5-11 Relation between  $V_{th}$  and total irradiation dose

图 5-11 是 ggnMOSFET 开启电压  $V_{th}$  与辐射总剂量的关系曲线，可以看到，不管辐射的剂量率多大，随辐射总剂量的增加，开启电压呈现下降的趋势，这对于 CMOS 电路的 ESD 保护是有利的。X 射线通过光电效应很容易产生电离效应，在 MOS 器件的栅氧中产生陷阱并使 Si/SiO<sub>2</sub> 界面态密度增加，导致阈值电压变化，跨导下降，增加了源漏之间的漏电，这个漏电流帮助电子从源区进入漏区，加快了寄生横向 npn 管的开启，使开启电压下降。ggnMOS 开启电压下降使得 CMOS 的 ESD 保护电路能在较低的电压下触发，对 CMOS 电路输入级薄弱的栅提供更好的保护。

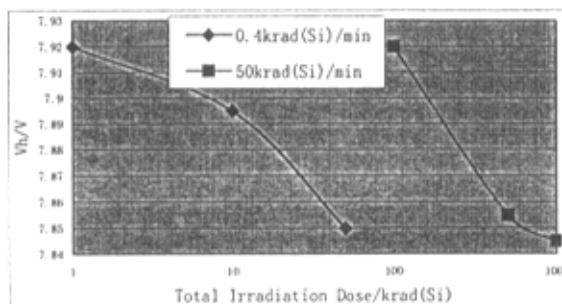
图 5-12  $V_h$  与辐射总剂量的关系Fig.5-12 Relation between  $V_h$  and total irradiation dose



图 5-12 是 ggnMOSFET 维持电压  $V_h$  与辐射总剂量的关系曲线，辐射总剂量对维持电压的影响与其对开启电压的影响类似，随辐射总剂量的增加维持电压持续下降。维持电压的下降意味着在 ESD 作用的时候，CMOS 保护电路可以将内部电路的电位钳制在较低的范围，这有利于内部电路的保护。维持电压的持续降低主要是受 X 射线辐射引起的氧化层陷阱电荷影响。

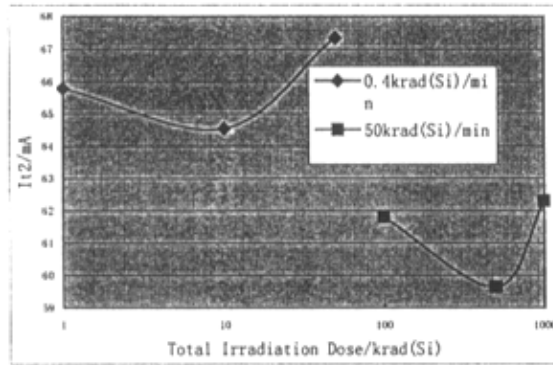
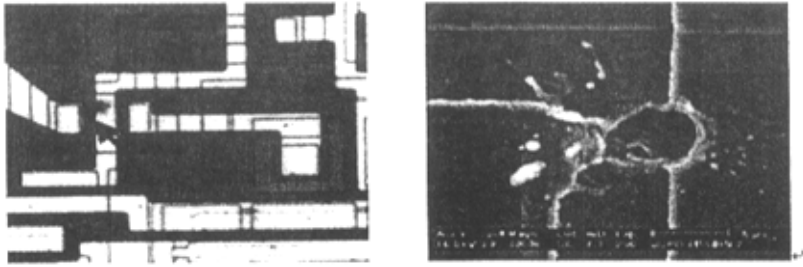


图 5-13  $I_{t2}$  与辐射总剂量的关系

Fig.5-13 Relation between  $I_{t2}$  and total irradiation dose

经过 X 射线辐照后的 ggnMOS 器件的二次击穿电流  $I_{t2}$  变化比较复杂，如图 5-13 所示。对不同的辐射剂量率， $I_{t2}$  随辐射总剂量的变化都呈现出相类似的关系：随总剂量的增加， $I_{t2}$  首先下降，到达一定的总剂量时， $I_{t2}$  开始上升。也就是说在辐射到达一定的辐射总剂量之前，X 射线辐射会降低 CMOS 电路的 ESD 强度，但辐射总剂量到达一定剂量之后，X 射线辐射将使带 ggnMOS 保护电路的 CMOS 电路的抗 ESD 增强，辐射总剂量越高，受辐射的 CMOS 电路抗 ESD 能力越强。ggnMOS 管的  $I_{t2}$  随辐射总剂量的变化的这种关系可能与 X 射线辐射在 nMOS 的栅氧化层产生的陷阱电荷以及 Si-SiO<sub>2</sub> 界面引起的界面态有关<sup>[66]</sup>，具体机理还有待于进一步研究。

在 TLP 试验后，将被测器件开封后在显微镜下检查，观察到芯片损伤情况如图 5-14a 所示，图 5-14b 则显示了 ggNMOSFET 在二次击穿后经过处理的 SEM 照片。照片显示出典型的局部熔化损坏。



(a) ESD 过热损伤光学显微照片 (b)(a)的局部放大的 SEM 像

(a) ESD Failure Sample' s Optics Micrograph

(b) Large SEM Photograph of Position (a)

图 5-14 ESD 样品的扫描电镜照片

Fig.5-14 SEM Photograph of ESD Sample

从器件的扫描图片可知：芯片表面金属化层的损伤较轻，烧蚀痕迹面积较小；而 ESD 溅射物比较丰富，爆炸的痕迹比较明显，掀起来的现象比较严重，边缘比较尖利。

为了看得更清楚，将器件的介质层和金属层去掉，观察相关位置的损伤痕迹，典型情况见图 5-15 所示。

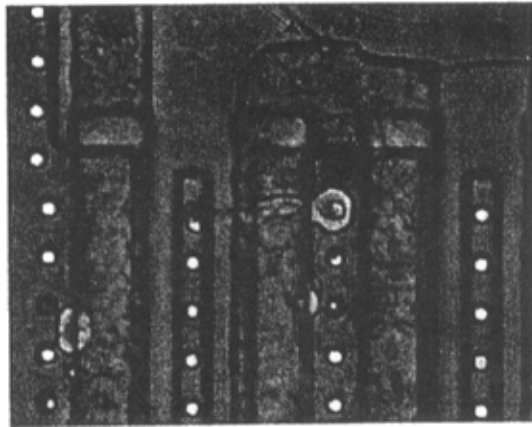


图 5-15 ESD 击穿照片：源漏穿通

Fig.5-15 Photograph of ESD Breakdown

从此图可以看出，从源极到漏极之间的栅介质上有条明显的损伤痕迹，漏电流击穿路径是从源极到漏极。

### 5.3 小结

本章主要研究了在辐照偏置下的 X 射线辐照特性，前一部分测试了 X 射线辐射试验前后样品的转移 ( $I_{ds}-V_{gs}$ ) 特性和阈值电压 ( $V_t$ )、跨导 ( $g_m$ ) 等参数的变化情况，并根据实验结果对栅氧化层损伤机理进行了分析。后一部分对不同剂量率及总剂量下 nMOS 器件二次击穿情况进行了研究，分析了其对 ESD 电学参数的影响，探讨了在辐射环境下 CMOS 电路抗 ESD 能力的变化规律。

## 结论

本文通过对高温恒定电场下栅氧化层 TDDB 寿命测试和正常工作条件下的寿命预计和栅氧化层的辐照特性的研究,得到以下一些结论:

1. 采用高温、恒定电场两种应力进行了栅氧化层 TDDB 寿命实验,实验结果经 *destin* 软件分析,样品在同种应力下,寿命服从威布尔分布;不同应力下样品寿命分布的威布尔形状参数大致相当,且外推出的 85℃ 下市场寿命均差别不大;从而验证了试验方法的可行性。

2. NMOS 器件受辐射后,  $I_{ds}-V_{gs}$  曲线发生负向漂移,漂移的总剂量越大,负漂移越严重,同时曲线斜率变小。这是由于辐射在  $\text{SiO}_2/\text{Si}$  界面系统中引起了附加的氧化物陷阱电荷和界面陷阱电荷所致。

3. NMOS 器件受不同的剂量率辐照时,阈值电压的漂移量随辐照剂量的增加而增加,而且在相同总剂量照射下,阈值电压的漂移量也随辐射剂量率的增加而增加。这是由于氧化物陷阱电荷和界面态的贡献有差异造成的。

4. 作为在抗 ESD 电路设计时替代 HBM 测试的一种方法, TLP 测试具有波形简单、易于控制、调试方便且测试精度高的优点。

5. ggnMOS 是 CMOS 电路中常用的 ESD 保护电路单元,利用其中的寄生 npn 管可以有效的泄漏 ESD 大电流从而起到变化 CMOS 内部电路的目的; X 射线辐射可以影响 ggnMOS 的工作特性,随辐射总剂量的增加, ggnMOS 的开启电压、维持电压都将下降,有利于提高 ggnMOS 的抗 ESD 能力;而 ggnMOS 的二次击穿电流开始随着辐射总剂量的增加而减少,到达一定剂量后将随总剂量的增加而增加。上述变化均是由辐射对  $\text{SiO}_2/\text{Si}$  系统中陷阱电荷的影响所致。

由于时间有限,本研究工作尚有许多地方需要完善,对于栅氧化层 TDDB、辐照特性的研究可在以下几个方面继续进行深入的研究:

1. 在 TDDB 寿命实验方法上不断更新,寻求精度更高、更迅速的测试方法,以减少不必要的损失。

2. MOS 栅氧化层的 X 射线辐照效应研究处于刚刚起步阶段,上述结论只是本试验中总结出的规律;需更进一步的研究分析。

3. 探索 X 射线辐射损伤与其它辐射源损伤剂量和剂量率的等效性。

## 参考文献

- [1] Shiono N, Itsumi M. A lifetime projection method using series model and acceleration factors for TDDB failure of thin gate oxides. Proc Int Rel Phys Symp, 1993: 1—6
- [2] Brozek T, Jakubowski A. Dielectric integrity of thin thermal oxides on silicon. Microelectronics and Reliability. 1993, 30(11/12): 1637—1656
- [3] E. Harari. Dielectric breakdown in electrically stressed thin films of thermal SiO<sub>2</sub>. J Appl. Phys. 1978, 49(4): 2478—2489
- [4] M. Ceschina, A. Paccagnella, A. Cester, et al. Total dose dependence of radiation-induced leakage current in ultra-thin gate oxides. Microelectronics Reliability. 1999, 39: 221—226.
- [5] B. J. Cho, S. J. Kim, C. H. Ling, et al. A comparison between leakage currents in thin gate oxides subjected to X-ray radiation and electrical stress degradation. Solid-State Electronics. 2000, 44(7): 1289—1292.
- [6] C. H. Ang, C. H. Ling, Z. Y. Cheng, et al. A comparative study of radiation-and stress-induced leakage currents in thin gate oxides. Semiconductor Science and Technology. 2000, 15(10): 961—964.
- [7] L. Larcher, A. Paccagnella, M. Ceschia, et al. A model of radiation induced leakage current in ultra-thin gate oxides. IEEE Trans. Nuclear Science. 1999, 46(6): 1553—1561.
- [8] M. Ceschina, A. Paccagnella, S. Sandrin, et al. Low field leakage current and soft breakdown in ultra-thin gate oxides after heavy ions, electrons or X-ray irradiation. IEEE Trans. Nuclear Science. 2000, 47(3): 566—573.
- [9] S. J. Kim, B. J. Cho, P. F. Chong, et al. Does short wavelength lithography process degrade the integrity of thin gate oxide? Microelectronics Reliability. 2000, 40: 1609—1613.

- [10] 张兴, 王阳元. 短沟道 CMOS/SIMOX 器件及电路的辐照特性研究. 电子学报. 1996, 24(11): 11-13
- [11] 宋任儒, 刘玉书, 段明亮, 李原. IGBT 的总剂量辐射效应及加固. 微电子学与计算机. 1996: 11
- [12] 谭开洲. MOS 器件总剂量辐射加固技术研究. 电子科技大学硕士学位论文. 2001: 1-3
- [13] 胡恒升, 张敏, 林立谨. TDDB 击穿特性评估薄介质层质量. 电子学报. 2000, 28(5): 80-83
- [14] 史保华, 贾新章, 张德胜. 微电子器件可靠性. 西安电子科技大学出版社. 1999
- [15] K.F. Schugraf, C. Hu. Electron Devices. IEEE Trans. 1994, 41: 761-767
- [16] 刘红侠, 郝跃. 薄栅氧化层经时击穿的参数表征研究. 物理学报. 2000, 49(6): 1163-1167
- [17] 刘红侠, 郝跃. 薄栅氧化层击穿特性的试验研究. 半导体学报. 2000, 21(2): 146-150
- [18] Chen I C, Holland S E, Hu C. IEEE Trans Electron Devices. 1985, ED-32: 413.
- [19] Degraeve R et al. IEDM. 1995: 95-863, P. 34.5.1-34.5.4.
- [20] Yassine A, Nariman H E, Olasupo K. IEEE Electron Device Letters. 1999, 20(8)
- [21] McPherson J, Reddy V et al. IEDM 98-171 (IEEE). 1998, 7.3.1
- [22] Crook D L. Method of determining reliability screens for time dependent dielectric breakdown. Proc Rel Phys Symp. 1979, 17: 1.
- [23] McPherson J W, Baglee D A. Acceleration parameters for thin gate oxide stressing. Proc IEEE IRPS, 23: 11985.
- [24] Nicollian P E, Hunter W R, Hu J C. IEEE 38<sup>th</sup> Annual International

- Reliability Physics Symposium. San Jose, California, 2000.
- [25] 王晓泉. 薄栅氧化层的 TDDB 研究. 纳米器件与技术. 2002, 06:12~20.
- [26] 谢希德. 辐射对半导体材料和器件性能的影响. 半导体器件的核辐射加固 (译文集). 原子能出版社, 1985.
- [27] T. P. Ma, P. V. Dressendorfer. Ionizing radiation effects in MOS devices and circuits. A Wiley-Interscience Publication, 1989.
- [28] 赖祖武等编著. 抗辐射电子学. 辐射效应及加固原理. 北京国防工业出版社, 1998 年 7 月.
- [29] 张正选. MOS 器件和集成电路的电离辐射效应研究. 西北核技术研究所博士学位论文, 2000 年 6 月.
- [30] J. R. Srour. Radiation effects RD in the 1970s: a retrospective view. IEEE Trans. Nuclear Science, 1994, 41(6): 2660-2665.
- [31] 郭维廉, 硅-二氧化硅界面物理, 国防工业出版社, 1989.
- [32] 曹建中. 半导体材料的辐射效应. 科学出版社, 1993.
- [33] T. P. Ma. Ionizing radiation effects in MOS devices and circuits. United States of America. 1989.
- [34] T. R. Oldham. Analysis of damage in MOS devices for several radiation environments. Nucl. Sci. 1984, 31(6): 1236.
- [35] C. M. Dozier. Photon energy dependence of radiation effects in MOS structures. IEEE Trans. Nuc. Sci. 1980, 27(6): 1694.
- [36] S. K. Lai. Interface trap generation in silicon dioxide when electrons are captured by trapped holes. J. Appl. Phys. 54 (5), May 1983.
- [37] H. Edwin. Hole transport and trapping field oxide. IEEE Trans. Nuc. Sci. 1985, 32(6): 3940.
- [38] Viktor zekeriya. Dependence of X-ray generation of interface on gate metal induced interfacial stress in MOS structure. IEEE

- Trans. Nuc. Sci. 1984, 31(6): 1261
- [39] P. M. Lenahan. A comprehensive physically predictive model for radiation damages in MOS systems. IEEE Trans. Nuc. Sci. 1998, 45(6): 2413.
- [40] J. F. Conley. Jr. Quantitative model of radiation induced charge trapping in SiO<sub>2</sub>. IEEE Trans. Nuc. Sci. 1997, 44(6): 1804.
- [41] Galloway K F, Schrimpt P D. MOS devices degradation due to total dose ionizing radiation in the natural space environment. Microelectronics J. 1990, 21(6): 67.
- [42] 宋钦岐. MOS器件的电离辐照效应. MOS器件电离辐照效应文集. 航空航天工业部科学技术公司, 1992.
- [43] H. E. Boesch. Saturation of threshold voltage shifts in MOSFETS at high total dose. IEEE Tran. Nuc. Sci. 1985, 33(6): 1191.
- [44] Markus P. J. Mergens, Koen G. Verhaege, Christian C. Russ, et. al. Multi-Finger Turn-on Circuits and Design Techniques for Enhanced ESD Performance and Width-Scaling. IEEE 2001 EOS/ESD Symposium.
- [45] A. Amerasekera et. al. Characterization and modeling of second breakdown in NMOSFET' s for the extraction of ESD-related process and design parameters. IEEE Tran. El. Dev. 1991, 38 (9): 2161-2168
- [46] Winkor P S, Boesch H E, McGarriy J M, et al. Field- and time-dependent radiation effects at the SiO<sub>2</sub>/Si interface of hardened MOS capacitors. IEEE Trans. Nuc. Sci. 1977, NS-24 (6): 2113



攻读学位期间发表的与学位论文内容相关的学术论文

序号	作者 (全体作者,按顺序排列)	题 目	发表或投稿刊物名称、级别	发表的卷期、年月、页码	相当于学位论文哪部分 (章节)	被索引收录情况
1	王涛 李斌 罗宏伟	高温恒定电流电迁移可靠性试验方法研究	第十届全国可靠性物理学术讨论会论文集	2003.9 49~53	第三章	
2	王涛 李斌 罗宏伟	高温恒定电场栅氧化层 TDDB 寿命试验方法研究	电子产品可靠性与环境试验	2004.2	第三章	

## 致谢

首先，衷心感谢我的导师李斌副教授。在攻读研究生学位的近三年时间里，李斌老师不仅在学术科研上给予我谆谆教诲和悉心教导，而且在学习、生活等方面给予了我无微不至的关怀。李斌老师渊博的知识、严谨的治学态度、丰富的实践经验、分析问题的独到见解以及诲人不倦的教学精神将使我受益终生；而其广阔的胸襟、宽容的态度和平易近人的作风将永远是我为人处事的楷模。

其次，在我整个论文的工作期间，广州信息产业部电子五所分析中心的恩主任和所有员工，尤其是微电子小组的成员（罗宏伟、章晓文、师谦）给了我很大的帮助和支持。在此，我对他们无私的帮助表示衷心的感谢！

最后还要感谢华南理工大学应用物理系微电子教研组其他老师和零一级研究生同学两年多来给予的关心和帮助。

王涛

2004年2月